

DIALOG(R)File 352:Derwent WPI  
(c) 2002 Thomson Derwent. All rts. reserv.

014192402 \*\*Image available\*\*

WPI Acc No: 2002-013099/200202

XRFX Acc No: N02-010563

Electro-optical apparatus e.g. liquid crystal display device, has offset area formed between channel formation area and lightly doped drain area of n-channel type thin film transistor which forms pixel circuit

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME )

----- Number of Countries: 001 - Number of Patents: 001 -----

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2000340798	A	20001208	JP 200072631	A	20000315	200202 B

Priority Applications (No Type Date): JP 9976967 A 19990319

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 2000340798	A	31	H01L-029/786		

Abstract (Basic): JP 2000340798 A

NOVELTY - A lightly doped drain (LDD) area (207) formed on n-channel type TFT (302), so that one or all portions overlap gate wiring of TFT (302) and gate insulating film. Another LDD area is formed on n-channel type TFT (304), so that it does not overlap gate wiring and gate insulation film of TFT (304). An offset area is formed between LDD area and channel formation area of TFT (304).

DETAILED DESCRIPTION - The LDD areas which are formed on TFTs (302,304) respectively form a control circuit and a pixel circuit. The control and pixel circuits are formed on same substrate. An INDEPENDENT CLAIM is also included for electro-optical apparatus manufacturing procedure.

USE - Electro-optical apparatus e.g. LCD device for electronic device.

ADVANTAGE - Capability of operation and reliability of electro-optical apparatus is raised, greatly. Sufficient retention volume with large capacity is secured, in small area.

DESCRIPTION OF DRAWING(S) - The figure shows the diagram of pixel circuit and control circuit.

LDD area (207)

n-channel type TFTs (302,304)

pp; 31 DwgNo 3/26

**BEST AVAILABLE COPY**

Title Terms: ELECTRO; OPTICAL; APPARATUS; LIQUID; CRYSTAL; DISPLAY;  
DEVICE;

OFFSET; AREA; FORMING; CHANNEL; FORMATION; AREA; LIGHT; DOPE;  
DRAIN; AREA

; N; CHANNEL; TYPE; THIN; FILM; TRANSISTOR; FORM; PIXEL; CIRCUIT

Derwent Class: P81; P85; U12; U14

International Patent Class (Main): H01L-029/786

International Patent Class (Additional): G02F-001/1368; G09F-009/30;

H01L-021/20; H01L-021/322; H01L-021/336; H01L-027/08

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO  
(c) 2002 JPO & JAPIO. All rts. reserv.

06754933 \*\*Image available\*\*

ELECTRO-OPTICAL DEVICE AND PREPARATION THEREOF

PUB. NO.: 2000-340798 [JP 2000340798 A]

PUBLISHED: December 08, 2000 (20001208)

INVENTOR(s): YAMAZAKI SHUNPEI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

-----APPL. NO.: 2000-072631-[JP 200072631]-----

FILED: March 15, 2000 (20000315)

PRIORITY: 11-076967 [JP 9976967], JP (Japan), March 19, 1999 (19990319)

INTL CLASS: H01L-029/786; G02F-001/1368; G09F-009/30; H01L-021/20;  
H01L-021/322; H01L-027/08; H01L-021/336

### ABSTRACT

PROBLEM TO BE SOLVED: To improve the effective aperture ratio by forming an offset region between channel and LDD regions, such that the LDD region of a drive TFT overlaps with a gate interconnection through a gate insulating film, and such that the LDD region of a pixel TFT does not overlap with the gate interconnection sandwiching the gate insulating film.

SOLUTION: A drive circuit is provided with a p channel TFT (thin-film transistor) 301, and an n channel TFT 302 and 303, while a pixel section is provided with a pixel TFT 304 formed of an n channel TFT. The TFT 302 is provided with an LDD region 207, which is located between a channel forming region 204 and a drain region 206, and which overlaps with a gate interconnection sandwiching a gate insulating film. Furthermore, the TFT 304 is provided with regions 217 to 220 and an offset region 221, which do not overlap with the gate interconnection through via channel-forming regions 213 and 214, a source region 215, a drain region 216, and the gate insulating film.

COPYRIGHT: (C)2000,JPO

DIALOG(R)File 345:lnpadoc/Fam.& Legal Stat  
(c) 2002 EPO. All rts. reserv.

16608528

Basic Patent (No,Kind,Date): JP 2000340798 A2 20001208 <No. of Patents:  
001>

ELECTRO-OPTICAL DEVICE AND PREPARATION THEREOF (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): YAMAZAKI SHUNPEI

IPC: \*H01L-029/786; G02F-001/1368; G09F-009/30; H01L-021/20; H01L-021/322;  
H01L-027/08; H01L-021/336

Derwent WPI Acc No: G 02-013099

Language of Document: Japanesc

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
-----------	------	------	-----------	------	------

JP 2000340798	A2	20001208	JP 200072631	A	20000315 (BASIC)
---------------	----	----------	--------------	---	------------------

Priority Data (No,Kind,Date):

JP 200072631 A 20000315

JP 9976967 A 19990319



JP2000340798

Biblio

Page 1

Drawing

esp@cenet

**ELECTRO-OPTICAL DEVICE AND PREPARATION THEREOF**

Patent Number: JP2000340798  
Publication date: 2000-12-08  
Inventor(s): YAMAZAKI SHUNPEI  
Applicant(s): SEMICONDUCTOR ENERGY LAB CO LTD  
Requested Patent: ☐ JP2000340798

Application  
Number: JP20000072631 20000315

Priority Number  
(s):

IPC Classification: H01L29/786; G02F1/1368; G09F9/30; H01L21/20; H01L21/322;  
H01L27/08; H01L21/336

EC Classification:

Equivalents:

**Abstract**

**PROBLEM TO BE SOLVED:** To improve the effective aperture ratio by forming an offset region between channel and LDD regions, such that the LDD region of a drive TFT overlaps with a gate interconnection through a gate insulating film, and such that the LDD region of a pixel TFT does not overlap with the gate interconnection sandwiching the gate insulating film.

**SOLUTION:** A drive circuit is provided with a p channel TFT (thin-film transistor) 301, and an n channel TFT 302 and 303, while a pixel section is provided with a pixel TFT 304 formed of an n channel TFT. The TFT 302 is provided with an LDD region 207, which is located between a channel forming region 204 and a drain region 206, and which overlaps with a gate interconnection sandwiching a gate insulating film. Furthermore, the TFT 304 is provided with regions 217 to 220 and an offset region 221, which do not overlap with the gate interconnection through via channel-forming regions 213 and 214, a source region 215, a drain region 216, and the gate insulating film.

Data supplied from the esp@cenet database - 12

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-340798

(P2000-340798A)

(43) 公開日 平成12年12月8日 (2000.12.8)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 B
G 0 2 F 1/1368		G 0 9 F 9/30	3 3 8
G 0 9 F 9/30	3 3 8	H 0 1 L 21/20	
H 0 1 L 21/20		21/322	R
21/322		27/08	3 3 1 E
審査請求 未請求 請求項の数21 O L (全 31 頁) 最終頁に続く			

(21) 出願番号 特願2000-72631(P2000-72631)

(22) 出願日 平成12年3月15日 (2000.3.15)

(31) 優先権主張番号 特願平11-76967

(32) 優先日 平成11年3月19日 (1999.3.19)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

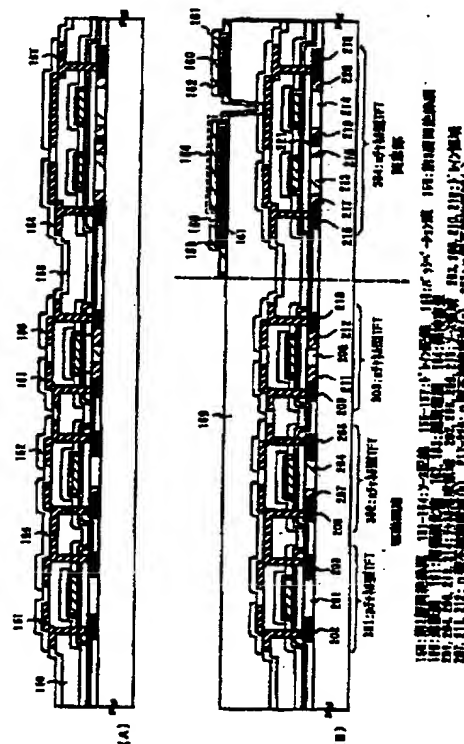
導体エネルギー研究所内

(54) 【発明の名称】 電気光学装置及びその作製方法

(57) 【要約】

【課題】 動作性能および信頼性の高い電気光学装置およびその作製方法を提供する。

【解決手段】 駆動回路を形成するnチャネル型TFT 302にはL<sub>ov</sub>領域207が配置され、ホットキャリア注入に強いTFT構造が実現される。また、画素部を形成するnチャネル型TFT 304にはL<sub>off</sub>領域217~220及びオフセット領域が配置され、低オフ電流値のTFT構造が実現される。また、L<sub>off</sub>領域217~220に含まれるn型不純物元素を $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ 程度まで低くすることで、さらにオフ電流値を低減できる。



## 【特許請求の範囲】

【請求項1】同一基板上に画素部及び駆動回路を含む電気光学装置において、

前記駆動回路を形成するnチャネル型TFTのLDD領域は、一部または全部が該nチャネル型TFTのゲート配線とゲート絶縁膜を挟んで重なるように形成され、  
前記画素部を形成する画素TFTのLDD領域は、該画素TFTのゲート配線とゲート絶縁膜を挟んで重ならないように形成され、

前記画素TFTのチャネル形成領域及びLDD領域の間にはオフセット領域が形成されていることを特徴とする電気光学装置。

【請求項2】同一基板上に画素部及び駆動回路を含む電気光学装置において、

前記駆動回路を形成するnチャネル型TFTのLDD領域は、一部または全部が該nチャネル型TFTのゲート配線とゲート絶縁膜を挟んで重なるように形成され、  
前記画素部を形成する画素TFTのLDD領域は、該画素TFTのゲート配線とゲート絶縁膜を挟んで重ならないように形成され、

前記画素部の保持容量は有機樹脂膜の上に設けられた遮蔽膜、該遮蔽膜の酸化物および画素電極で形成されており、

前記画素TFTのチャネル形成領域及びLDD領域の間にはオフセット領域が形成されていることを特徴とする電気光学装置。

【請求項3】請求項1または請求項2において、前記駆動回路を形成するnチャネル型TFTのLDD領域には、前記画素TFTのLDD領域よりも高い濃度でn型不純物元素が含まれることを特徴とする電気光学装置。

【請求項4】請求項1または請求項2において、前記駆動回路を形成するnチャネル型TFTのLDD領域には、前記画素TFTのLDD領域に比べて2～10倍の濃度でn型不純物元素が含まれることを特徴とする電気光学装置。

【請求項5】請求項1または請求項2において、前記駆動回路を形成するnチャネル型TFTのLDD領域には $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度範囲でn型不純物元素が含まれ、前記画素TFTのLDD領域には $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度範囲でn型不純物元素が含まれていることを特徴とする電気光学装置。

【請求項6】同一基板上に画素部及び駆動回路を含む電気光学装置において、

前記駆動回路には、LDD領域の全部がゲート配線とゲート絶縁膜を挟んで重なるように形成された第1のnチャネル型TFTと、LDD領域の一部がゲート配線とゲート絶縁膜を挟んで重なるように形成された第2のnチャネル型TFTとを有し、

前記画素部を形成する画素TFTのLDD領域は、該画素TFTのゲート配線とゲート絶縁膜を挟んで重ならないように配置され、

前記画素TFTのチャネル形成領域及びLDD領域の間にはオフセット領域が形成されていることを特徴とする電気光学装置。

【請求項7】同一基板上に画素部及び駆動回路を含む電気光学装置において、

前記駆動回路には、LDD領域の全部がゲート配線とゲート絶縁膜を挟んで重なるように形成された第1のnチャネル型TFTと、LDD領域の一部がゲート配線とゲート絶縁膜を挟んで重なるように形成された第2のnチャネル型TFTとを有し、

前記画素部を形成する画素TFTのLDD領域は、該画素TFTのゲート配線とゲート絶縁膜を挟んで重ならないように配置され、

前記画素部の保持容量は有機樹脂膜の上に設けられた遮蔽膜、該遮蔽膜の酸化物および画素電極で形成されており、

前記画素TFTのチャネル形成領域及びLDD領域の間にはオフセット領域が形成されていることを特徴とする電気光学装置。

【請求項8】請求項6または請求項7において、前記第1のnチャネル型TFTのLDD領域及び／又は前記第2のnチャネル型TFTのLDD領域には、前記画素TFTのLDD領域よりも高い濃度でn型不純物元素が含まれることを特徴とする電気光学装置。

【請求項9】請求項6または請求項7において、前記第1のnチャネル型TFTのLDD領域及び／又は前記第2のnチャネル型TFTのLDD領域には、前記画素TFTのLDD領域に比べて2～10倍の濃度でn型不純物元素が含まれることを特徴とする電気光学装置。

【請求項10】請求項6または請求項7において、前記第1のnチャネル型TFTに形成されるLDD領域は、該第1のnチャネル型TFTのドレイン領域とチャネル形成領域との間に形成され、前記第2のnチャネル型TFTに形成されるLDD領域は、該第2のnチャネル型TFTのチャネル形成領域を挟んで形成されることを特徴とする電気光学装置。

【請求項11】請求項6又は請求項7において、前記第1のnチャネル型TFTのLDD領域及び／又は前記第2のnチャネル型TFTのLDD領域には $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度範囲でn型不純物元素が含まれ、前記画素TFTのLDD領域には $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度範囲でn型不純物元素が含まれていることを特徴とする電気光学装置。

【請求項12】請求項1、請求項2、請求項6または請求項7のいずれかにおいて、前記オフセット領域は該オフセット領域に接したチャネル形成領域と同一組成の半導体膜からなることを特徴とする電気光学装置。

【請求項13】請求項1、請求項2、請求項6または請求項7のいずれかにおいて、前記オフセット領域には

$1 \times 10^{15} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ の濃度範囲でp型不純物元素が含まれることを特徴とする電気光学装置。

【請求項14】請求項2または請求項7において、前記遮蔽膜はアルミニウム膜またはアルミニウムを主成分とする膜であることを特徴とする電気光学装置。

【請求項15】請求項2または請求項7において、前記酸化物とは酸化アルミニウム膜であることを特徴とする電気光学装置。

【請求項16】請求項1乃至請求項15のいずれか一において、前記画素部にEし素子を有することを特徴とする電気光学装置。

【請求項17】請求項1乃至請求項16のいずれか一に記載の電気光学装置を表示部として用いたことを特徴とする電気器具。

【請求項18】同一基板上に画素部及び駆動回路を含む電気光学装置の作製方法において、

前記駆動回路を形成するnチャネル型TFTの活性層に $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度範囲でn型不純物元素を含む領域を形成する工程(A)と、

前記駆動回路を形成するnチャネル型TFTの活性層に $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度範囲でn型不純物元素を含む領域を形成する工程(B)と、

前記駆動回路を形成するpチャネル型TFTの活性層に $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ の濃度範囲でp型不純物元素を含む領域を形成する工程(C)と、

前記画素部を形成する画素TFTの活性層に $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度範囲でn型不純物元素を含む領域を形成する工程(D)と、を有し、

前記工程(D)は、珪素を含む絶縁膜で覆われたゲート配線をマスクにしてn型不純物元素を添加することにより行われることを特徴とする電気光学装置の作製方法。

【請求項19】同一基板上に画素部及び駆動回路を含む電気光学装置の作製方法において、

前記駆動回路を形成するnチャネル型TFTの活性層に $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度範囲でn型不純物元素を含む領域を形成する工程(A)と、

前記駆動回路を形成するnチャネル型TFTの活性層に $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度範囲でn型不純物元素を含む領域を形成する工程(B)と、

前記駆動回路を形成するpチャネル型TFTの活性層に $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ の濃度範囲でp型不純物元素を含む領域を形成する工程(C)と、

前記画素部を形成する画素TFTの活性層に $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度範囲でn型不純物元素を含む領域を形成する工程(D)と、を有し、

前記工程(D)によってn型不純物領域(c)及び該n型不純物領域(c)に接したオフセット領域が形成されることを特徴とする電気光学装置の作製方法。

【請求項20】請求項18において、前記珪素を含む絶縁膜の膜厚は25～100nmであることを特徴とする

電気光学装置の作製方法。

【請求項21】請求項19において、前記オフセット領域は、前記画素TFTの活性層に珪素を含む絶縁膜で覆われたゲート配線をマスクにしてn型不純物元素を添加することにより形成されることを特徴とする電気光学装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は絶縁表面を有する基板上に薄膜トランジスタ(以下、TFTという)で構成された回路を有する半導体装置およびその作製方法に関する。特に本発明は、画素部(画素回路)とその周辺に設けられる駆動回路(制御回路)を同一基板上に設けた液晶表示装置、EL(エレクトロルミネッセンス)表示装置に代表される電気光学装置(電気光学装置ともいう)、および電気光学装置を搭載した電気器具(電子機器ともいう)に関する。

【0002】尚、本願明細書において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、上記電気光学装置およびその電気光学装置を搭載した電気器具も半導体装置に含まれる。

【0003】

【従来の技術】絶縁表面を有する基板上にTFTで形成した大面積集積回路を有する半導体装置の開発が進んでいる。アクティブマトリクス型液晶表示装置、EL表示装置、および密着型イメージセンサはその代表例として知られている。特に、結晶質シリコン膜(典型的にはポリシリコン膜)を活性層にしたTFT(以下、ポリシリコンTFTと記す)は電界効果移動度が高いことから、いろいろな機能回路を形成することも可能である。

【0004】例えば、アクティブマトリクス型液晶表示装置には、機能ブロックごとに画像表示を行う画素部や、CMOS回路を基本としたシフトレジスタ、レベルシフタ、バッファ、サンプリング回路などの画素部を制御するための駆動回路(周辺駆動回路とも呼ばれる)が一枚の基板上に形成される。

【0005】このような駆動回路はそれぞれにおいて動作条件が必ずしも同一でないので、当然TFTに要求される特性も少なからず異なっている。画素部においては、スイッチ素子として機能する画素TFTと補助の保持容量を設けた構成であり、液晶に電圧を印加して駆動させるものである。ここで、液晶は交流で駆動させる必要があり、フレーム反転駆動と呼ばれる方式が多く採用されている。従って、要求されるTFTの特性はオフ電流値(TFTがオフ動作時に流れるドレイン電流値)を十分低くさせておく必要があった。また、バッファは高い駆動電圧が印加されるため、高電圧がかかっても壊れない程度にまで耐圧を高めておく必要があった。また電流駆動能力を高めるために、オン電流値(TFTがオン動作時に流れるドレイン電流値)を十分確保する必要が



あった。

【0006】しかし、ポリシリコンTFTのオフ電流値は高くなりやすいといった問題点がある。また、ICなどで使われるMOSトランジスタと同様にポリシリコンTFTにはオン電流値の低下といった劣化現象が観測される。主たる原因はホットキャリア注入であり、ドレイン近傍の高電界によって発生したホットキャリアが劣化現象を引き起こすものと考えられている。

【0007】オフ電流値を低減するためのTFTの構造として、低濃度ドレイン(LDD:Lightly Doped Drain)構造が知られている。この構造はチャネル形成領域と、高濃度に不純物が添加されるソース領域またはドレイン領域との間に低濃度の不純物領域を設けたものであり、この低濃度不純物領域はLDD領域と呼ばれている。

【0008】また、ホットキャリア注入によるオン電流値の劣化を防ぐための構造として、いわゆるGOLD(Gate-drain Overlapped LDD)構造が知られている。この構造は、LDD領域がゲート絶縁膜を介してゲート配線と重なるように配置されているため、ドレイン近傍のホットキャリア注入を防ぎ、信頼性を向上させるのに有効である。例えば、「Mutsuko Hatano, Hajime Akimoto and Takeshi Sakai, IEDM97 TECHNICAL DIGEST, p523-526, 1997」では、シリコンで形成したサイドウォールによるGOLD構造を開示しているが、他の構造のTFTと比べ、きわめて優れた信頼性が得られることが確認されている。

【0009】また、アクティブマトリクス型液晶表示装置の画素部には、数十から数百万個の各画素にTFTが配置され、そのTFTのそれぞれには画素電極が設けられている。液晶を挟んだ対向基板側には対向電極が設けられており、液晶を誘電体とした一種のコンデンサを形成している。そして、各画素に印加する電圧をTFTのスイッチング機能により制御して、このコンデンサへの電荷を制御することで液晶を駆動し、透過光量を制御して画像を表示する仕組みになっている。

【0010】ところが、このコンデンサはオフ電流値等に起因するリーク電流により次第にその蓄積容量が減少するため、透過光量が変化して画像表示のコントラストを低下させる原因となっていた。そこで、従来では容量配線を設けて、液晶を誘電体とするコンデンサとは別のコンデンサ(保持容量)を並列に設け、液晶を誘電体とするコンデンサが損失する容量を補っていた。

【0011】

【発明が解決しようとする課題】しかしながら、画素部のTFT(以下、画素TFTという)と、シフトレジスタやバッファなどの駆動回路のTFT(以下、駆動TFTという)とでは、その要求される特性は必ずしも同じではない。例えば、画素TFTにおいては、ゲート配線に大きな逆バイアス(nチャネル型TFTであればマイ

ナス)電圧が印加されるが、駆動回路のTFTは基本的に逆バイアス電圧が印加されて動作されることはない。また、前者の動作速度は後者ほど高いものが要求されない。

【0012】また、GOLD構造は確かにオン電流値の劣化を防ぐ効果は高いが、反面、通常のLDD構造に比べてオフ電流値が大きくなってしまう問題があった。従って、特に画素TFTにとっては好ましい構造とは言えなかった。逆に通常のLDD構造はオフ電流値を抑える効果は高いが、ホットキャリア注入には弱いことが知られていた。

【0013】このように、アクティブマトリクス型液晶表示装置のような複数の電気回路を有する電気光学装置において、全てのTFTを同じ構造で形成することは必ずしも好ましくなかった。

【0014】さらに、従来例に示したように画素部に容量配線を用いた保持容量を形成して十分な容量を確保しようとすると、開口率(一画素の面積に対して画像表示が可能な面積の割合)を犠牲にしなければならなかった。特に、プロジェクター型表示装置に用いられるような小型の高精細パネルでは、一個当たりの画素面積も小さいため、容量配線による開口率の低下は問題となっていた。

【0015】本発明はこのような課題を解決するための技術であり、電気光学装置の駆動回路や画素部に配置されるTFTの構造を、その機能に応じて適切なものとするにより、電気光学装置の動作性能および信頼性を向上させることを目的とする。また、そのような電気光学装置を実現するための作製方法を提供することを課題とする。

【0016】また、他の目的として画素部を有する電気光学装置において、画素に設けられる保持容量の面積を縮小化し、開口率を向上させるための構造を提供することを目的とする。また、そのような画素部の作製方法を提供する。

【0017】

【課題を解決するための手段】上記問題点を解決するために本発明の構成は、同一基板上に画素部及び駆動回路を含む電気光学装置において、前記駆動回路を形成するnチャネル型TFTのLDD領域は、一部または全部が該nチャネル型TFTのゲート配線とゲート絶縁膜を挟んで重なるように形成され、前記画素部を形成する画素TFTのLDD領域は、該画素TFTのゲート配線とゲート絶縁膜を挟んで重ならないように形成され、前記画素TFTのチャネル形成領域及びLDD領域の間にはオフセット領域が形成されていることを特徴とする。

【0018】上記構成において、前記駆動回路を形成するnチャネル型TFTのLDD領域には、前記画素TFTのLDD領域よりも高い濃度でn型不純物元素が含まれることが好ましい。具体的には、前記画素TFTのL

DD領域よりも2~10倍の濃度が好ましい。さらに具体的には、前記駆動回路を形成するnチャネル型TFTのLDD領域には $2 \times 10^{16} \sim 5 \times 10^{19} \text{atoms/cm}^3$ の濃度範囲でn型不純物元素が含まれ、前記画素TFTのLDD領域には $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ の濃度範囲でn型不純物元素が含まれる。

【0019】また、他の発明の構成は、同一基板上に画素部及び駆動回路を含む電気光学装置において、前記駆動回路には、LDD領域の全部がゲート配線とゲート絶縁膜を挟んで重なるように形成された第1のnチャネル型TFTと、LDD領域の一部がゲート配線とゲート絶縁膜を挟んで重なるように形成された第2のnチャネル型TFTとを有し、前記画素部を形成する画素TFTのLDD領域は、該画素TFTのゲート配線とゲート絶縁膜を挟んで重ならないように配置され、前記画素TFTのチャネル形成領域及びLDD領域の間にはオフセット領域が形成されていることを特徴とする。

【0020】上記構成において、前記第1のnチャネル型TFTのLDD領域及び/又は前記第2のnチャネル型TFTのLDD領域には、前記画素TFTのLDD領域よりも高い濃度（具体的には2~10倍）でn型不純物元素が含まれる。

【0021】また、前記第1のnチャネル型TFTに形成されるLDD領域は、該第1のnチャネル型TFTのドレイン領域とチャネル形成領域との間に形成され、前記第2のnチャネル型TFTに形成されるLDD領域は、該第2のnチャネル型TFTのチャネル形成領域を挟んで形成されることが好ましい。

【0022】また、本願発明の構成を実現するための作製工程に関する構成は、同一基板上に画素部及び駆動回路を含む電気光学装置の作製方法において、前記駆動回路を形成するnチャネル型TFTの活性層に $2 \times 10^{16} \sim 5 \times 10^{19} \text{atoms/cm}^3$ の濃度範囲でn型不純物元素を含む領域を形成する工程（A）と、前記駆動回路を形成するnチャネル型TFTの活性層に $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ の濃度範囲でn型不純物元素を含む領域を形成する工程（B）と、前記駆動回路を形成するpチャネル型TFTの活性層に $3 \times 10^{20} \sim 3 \times 10^{21} \text{atoms/cm}^3$ の濃度範囲でp型不純物元素を含む領域を形成する工程（C）と、前記画素部を形成する画素TFTの活性層に $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ の濃度範囲でn型不純物元素を含む領域を形成する工程（D）と、を有し、前記工程（D）は、珪素を含む絶縁膜で覆われたゲート配線をマスクにしてn型不純物元素を添加することにより行われることを特徴とする。

【0023】なお、この構成において、（A）~（D）の各工程の順序は適宜変更しても構わない。どのような順序としても、最終的に形成されるTFTの基本的な機能は変化せず、本発明の効果を損なうものではない。

【0024】

【発明の実施の形態】本発明の実施の形態について、以下に示す実施例でもって詳細な説明を行うこととする。

【0025】【実施例1】本発明の実施例について図1~図4を用いて説明する。ここでは、同一基板上に画素部とその画素部を制御するための駆動回路とを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路では、シフトレジスタ、バッファ等の基本回路であるCMOS回路と、サンプリング回路を形成するnチャネル型TFTとを図示することとする。

【0026】図1（A）において、基板101には、石英基板やシリコン基板を使用することが望ましい。本実施例では石英基板を用いる。その他にも金属基板またはステンレス基板の表面に絶縁膜を形成したものを基板としても良い。本実施例の場合、800℃以上の温度に耐えうる耐熱性を要求されるので、それを満たす基板であればどのような基板を用いても構わない。

【0027】そして、基板101のTFTが形成される表面には、20~100nm（好ましくは40~80nm）の厚さの非晶質構造を含む半導体膜102を減圧熱CVD法、プラズマCVD法またはスパッタ法で形成する。なお、本実施例では60nm厚の非晶質シリコン膜を形成するが、後に熱酸化工程があるのでこの膜厚が最終的なTFTの活性層の膜厚になるわけではない。

【0028】また、非晶質構造を含む半導体膜としては、非晶質半導体膜、微結晶半導体膜があり、さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜も含まれる。さらに、基板上に下地膜と非晶質シリコン膜とを大気解放しないで連続的に形成することも有効である。そうすることにより基板表面の汚染が非晶質シリコン膜に影響を与えないようにすることが可能となり、作製されるTFTの特性バラツキを低減させることができる。

【0029】次に、非晶質シリコン膜102上に珪素（シリコン）を含む絶縁膜でなるマスク膜103を形成し、パターニングによって開口部104a、104bを形成する。この開口部は、次の結晶化工程の際に結晶化を助長（促進）する触媒元素を添加するための添加領域となる。（図1（A））

【0030】なお、珪素を含む絶縁膜としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜を用いることができる。窒化酸化シリコン膜は、珪素、窒素及び酸素を所定の量で含む絶縁膜であり、 $\text{SiO}_x\text{N}_y$ で表される絶縁膜である。窒化酸化シリコン膜は $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ 及び $\text{NH}_3$ を原料ガスとして作製することが可能であり、含有する窒素濃度が2.5atomic%以上5.0atomic%未満とすると良い。

【0031】また、このマスク膜103のパターニングを行うと同時に、後のパターニング工程の基準となるマーカーパターンを形成しておく。マスク膜103をエッチングする際に非晶質シリコン膜102も僅かにエッチ

ングされるが、この段差が後にマスク合わせの時にマーカーパターンとして用いることができるのである。

【0032】次に、特開平10-247735号公報（米国出願番号09/034,041に対応）に記載された技術に従って、結晶構造を含む半導体膜を形成する。同公報記載の技術は、非晶質構造を含む半導体膜の結晶化に際して、結晶化を助長する触媒元素（ニッケル、コバルト、ゲルマニウム、錫、鉛、パラジウム、鉄、銅から選ばれた一種または複数種の元素）を用いる結晶化手段である。

【0033】具体的には、非晶質構造を含む半導体膜の表面に触媒元素を保持させた状態で加熱処理を行い、非晶質構造を含む半導体膜を、結晶構造を含む半導体膜に変化させるものである。なお、結晶化手段としては、特開平7-130652号公報の実施例1に記載された技術を用いても良い。また、結晶質構造を含む半導体膜には、いわゆる単結晶半導体膜も多結晶半導体膜も含まれるが、同公報で形成される結晶構造を含む半導体膜は結晶粒界を有している。

【0034】なお、同公報では触媒元素を含む層をマスク膜上に形成する際にスピンコート法を用いているが、触媒元素を含む薄膜をスパッタ法や蒸着法といった気相法を用いて成膜する手段をとっても良い。

【0035】また、非晶質シリコン膜は含有水素量にもよるが、好ましくは400～550℃で1時間程度の加熱処理を行い、水素を十分に脱離させてから結晶化させることが望ましい。その場合、含有水素量を5atm%以下とすることが好ましい。

【0036】結晶化工程は、まず400～500℃で1時間程度の熱処理工程を行い、水素を膜中から脱離させた後、500～650℃（好ましくは550～600℃）で6～16時間（好ましくは8～14時間）の熱処理を行う。

【0037】本実施例では、触媒元素としてニッケルを用い、570℃で14時間の熱処理を行う。その結果、開口部104a、104bを起点として概略基板と平行な方向（矢印で示した方向）に結晶化が進行し、巨視的な結晶成長方向が揃った結晶構造を含む半導体膜（本実施例では結晶質シリコン膜）105a～105dが形成される。（図1（B））

【0038】次に、結晶化の工程で用いたニッケルを結晶質シリコン膜から除去するゲッタリング工程を行う。本実施例では、先ほど形成したマスク膜103をそのままマスクとして周期表の15族に属する元素（本実施例ではリン）を添加する工程を行い、開口部104a、104bで露出した結晶質シリコン膜に $1 \times 10^{19} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度でリンを含むリン添加領域（以下、ゲッタリング領域という）106a、106bを形成する。（図1（C））

【0039】次に、窒素雰囲気中で450～650℃

（好ましくは500～550℃）、4～24時間（好ましくは6～12時間）の熱処理工程を行う。この熱処理工程により結晶質シリコン膜中のニッケルは矢印の方向に移動し、リンのゲッタリング作用によってゲッタリング領域106a、106bに捕獲される。即ち、結晶質シリコン膜中からニッケルが除去されるため、ゲッタリング後の結晶質シリコン膜107a～107dに含まれるニッケル濃度は、 $1 \times 10^{17} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ にまで低減することができる。

【0040】次に、マスク膜103を除去し、結晶質シリコン膜107a～107d上に後の不純物添加時のために保護膜108を形成する。保護膜108は100～200nm（好ましくは130～170nm）の厚さの酸化シリコン膜または酸化シリコン膜を用いると良い。この保護膜108は不純物添加時に結晶質シリコン膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするための意味がある。

【0041】そして、その上にレジストマスク109を形成し、保護膜108を介してp型を付与する不純物元素（以下、p型不純物元素という）を添加する。p型不純物元素としては、代表的には周期表の13族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程（チャネルドープ工程という）はTFTのしきい値電圧を制御するための工程である。なお、ここではジボラン（ $\text{B}_2\text{H}_6$ ）を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0042】この工程により $1 \times 10^{15} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ （代表的には $5 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ ）の濃度でp型不純物元素（本実施例ではボロン）を含む不純物領域110a、110bを形成する。なお、本明細書中では上記濃度範囲でp型不純物元素を含む不純物領域（但し、リンは含まれていない領域）をp型不純物領域（b）と定義する。（図1（D））

【0043】次に、レジストマスク109を除去し、結晶質シリコン膜をパターニングして島状の半導体層（以下、活性層という）111～114を形成する。なお、活性層111～114は、ニッケルを選択的に添加して結晶化することによって、非常に結晶性の良い結晶質シリコン膜で形成されている。具体的には、棒状または柱状の結晶が、特定の方向性を持って並んだ結晶構造を有している。また、結晶化後、ニッケルをリンのゲッタリング作用により除去又は低減しており、活性層111～114中に残存する触媒元素の濃度は、 $1 \times 10^{17} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ である。（図1（E））

【0044】また、pチャネル型TFTの活性層111は意図的に添加された不純物元素を含まない領域であり、nチャネル型TFTの活性層112～114はp型

不純物領域 (b) となっている。本明細書中では、この状態の活性層 111~114 は全て真性または実質的に真性であると定義する。即ち、TFT の動作に支障をきたさない程度に不純物元素が意図的に添加されている領域が実質的に真性な領域と考えて良い。

【0045】次に、プラズマ CVD 法またはスパッタ法により 10~100 nm 厚の珪素を含む絶縁膜を形成する。本実施例では、30 nm 厚の窒化酸化シリコン膜を形成する。この珪素を含む絶縁膜は、他の珪素を含む絶縁膜を単層または積層で用いても構わない。

【0046】次に、800~1150℃ (好ましくは 900~1000℃) の温度で 15 分~8 時間 (好ましくは 30 分~2 時間) の熱処理工程を、酸化性雰囲気で行う (熱酸化工程)。本実施例では酸素雰囲気中に 3 体積 % の塩化水素を添加した雰囲気中で 950℃ 80 分の熱処理工程を行う。なお、図 1 (D) の工程で添加されたボロンはこの熱酸化工程の間に活性化される。(図 2 (A))

【0047】なお、酸化性雰囲気としては、ドライ酸素雰囲気でもウェット酸素雰囲気でも良いが、半導体層中の結晶欠陥の低減にはドライ酸素雰囲気が適している。また、本実施例では酸素雰囲気中にハロゲン元素を含ませた雰囲気としたが、100% 酸素雰囲気で行っても構わない。

【0048】この熱酸化工程の間、珪素を含む絶縁膜とその下の活性層 111~114 との界面においても酸化反応が進行する。本願発明ではそれを考慮して最終的に形成されるゲート絶縁膜 115 の膜厚が 50~200 nm (好ましくは 100~150 nm) となるように調節する。本実施例の熱酸化工程では、60 nm 厚の活性層のうち 25 nm が酸化されて活性層 111~114 の膜厚は 45 nm となる。また、30 nm 厚の珪素を含む絶縁膜に対して 50 nm 厚の熱酸化膜が加わるので、最終的なゲート絶縁膜 115 の膜厚は 110 nm となる。

【0049】次に、新たにレジストマスク 116~119 を形成する。そして、n 型を付与する不純物元素 (以下、n 型不純物元素という) を添加して n 型を呈する不純物領域 120~122 を形成する。なお、n 型不純物元素としては、代表的には周期表の 15 族に属する元素、典型的にはリンまたは砒素を用いることができる。(図 2 (B))

【0050】この不純物領域 120~122 は、後に CMOS 回路およびサンプリング回路の n チャネル型 TFT において、LDD 領域として機能させるための不純物領域である。なお、ここで形成された不純物領域には n 型不純物元素が  $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$  (代表的には  $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ ) の濃度で含まれている。本明細書中では上記濃度範囲で n 型不純物元素を含む不純物領域を n 型不純物領域 (b) と定義する。

【0051】なお、ここではフォスフィン ( $\text{PH}_3$ ) を質量分離しないでプラズマ励起したイオンドープ法でリンを  $1 \times 10^{18} \text{ atoms/cm}^3$  の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程では、ゲート膜 115 を介して結晶質シリコン膜にリンを添加する。

【0052】次に、600~1000℃ (好ましくは 700~800℃) の不活性雰囲気中で熱処理を行い、図 2 (B) の工程で添加されたリンを活性化する。本実施例では 800℃ 1 時間の熱処理を窒素雰囲気で行う。(図 2 (C))

【0053】この時、同時にリンの添加時に損傷した活性層及び活性層とゲート絶縁膜との界面を修復することが可能である。この活性化工程は電熱炉を用いたファーネスアニールが好ましいが、ランプアニールやレーザーアニールといった光アニールを併用しても良い。

【0054】この工程により n 型不純物領域 (b) 120~122 の境界部、即ち、n 型不純物領域 (b) の周囲に存在する真性又は実質的に真性な領域 (勿論、p 型不純物領域 (b) も含む) との接合部が明確になる。このことは、後に TFT が完成した時点において、LDD 領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0055】次に、ゲート配線となる導電膜を形成する。なお、ゲート配線は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。本実施例では、第 1 導電膜 123 と第 2 導電膜 124 とでなる積層膜を形成する。(図 2 (D))

【0056】ここで第 1 導電膜 123、第 2 導電膜 124 としては、タンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W)、クロム (Cr)、シリコン (Si) から選ばれた元素、または前記元素を主成分とする導電膜 (代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜 (代表的には Mo-W 合金膜、Mo-Ta 合金膜、タングステンシリサイド膜等) を用いることができる。

【0057】なお、第 1 導電膜 123 は 10~50 nm (好ましくは 20~30 nm) とし、第 2 導電膜 124 は 200~400 nm (好ましくは 250~350 nm) とすれば良い。本実施例では、第 1 導電膜 123 として、50 nm 厚の窒化タングステン (WN) 膜を、第 2 導電膜 124 として、350 nm 厚のタングステン膜を用いる。なお、図示しないが、第 1 導電膜 123 の上もしくは下にシリコン膜を 2~20 nm 程度の厚さで形成しておくことは有効である。これによりその上に形成される導電膜の密着性の向上と、酸化防止を図ることができる。

【0058】また、第 1 導電膜 123 として窒化タンタル膜、第 2 導電膜としてタンタル膜を用いることも有効

である。

【0059】次に、第1導電膜123と第2導電膜124とを一括でエッチングして400nm厚のゲート配線125~128を形成する。この時、駆動回路のnチャネル型TFTのゲート配線126、127はn型不純物領域(b)120~122の一部とゲート絶縁膜115を挟んで重なるように形成する。この重なった部分が後にLov領域となる。なお、ゲート配線128a、128bは断面では二つに見えるが実際は連続的に繋がった一つのパターンから形成されている。(図2(E))

【0060】次に、レジストマスク129を形成し、p型不純物元素(本実施例ではボロン)を添加して高濃度にボロンを含む不純物領域130、131を形成する。本実施例ではジボラン( $B_2H_6$ )を用いたイオンドープ法(勿論、イオンインプランテーション法でも良い)により $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ )濃度でボロンを添加する。なお、本明細書中では上記濃度範囲でp型不純物元素を含む不純物領域をp型不純物領域(a)と定義する。(図3(A))

【0061】次に、レジストマスク129を除去し、ゲート配線及びpチャネル型TFTとなる領域を覆う形でレジストマスク132~134を形成する。そして、n型不純物元素(本実施例ではリン)を添加して高濃度にリンを含む不純物領域135~141を形成する。ここでも、フォスフィン( $PH_3$ )を用いたイオンドープ法(勿論、イオンインプランテーション法でも良い)で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ )とする。(図3(B))

【0062】なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域(a)と定義する。また、不純物領域135~141が形成された領域には既に前工程で添加されたリンまたはボロンが含まれるが、十分に高い濃度でリンが添加されることになるので、前工程で添加されたリンまたはボロンの影響は考えなくて良い。従って、本明細書中では不純物領域135~141はn型不純物領域(a)と言い換えても構わない。

【0063】次に、レジストマスク132~134を除去し、珪素を含む絶縁膜でなるキャップ膜142を形成する。膜厚は25~100nm(好ましくは30~50nm)とすれば良い。本実施例では25nm厚の窒化珪素膜を用いることとする。キャップ膜142は後の活性化工程でゲート配線の酸化を防ぐ保護膜としても機能するが、厚く形成しすぎると応力が強くなって膜はがれ等の不具合が発生するので好ましくは100nm以下とすることが好ましい。

【0064】次に、ゲート配線125~128をマスクとして自己整合的にn型不純物元素(本実施例ではリ

ン)を添加する。こうして形成された不純物領域143~146には前記n型不純物領域(b)の $1/2 \sim 1/10$ (代表的には $1/3 \sim 1/4$ )の濃度(但し、前述のチャネルドープ工程で添加されたボロン濃度よりも5~10倍高い濃度、代表的には $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ 、典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$ )でリンが添加されるように調節する。なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域(但し、p型不純物領域(a)を除く)をn型不純物領域(c)と定義する。(図3(C))

【0065】この工程では105nmの膜厚の絶縁膜(キャップ膜142とゲート絶縁膜115との積層膜)を通してリンを添加することになるが、ゲート配線134a、134bの側壁に形成されたキャップ膜もマスクとして機能する。即ち、キャップ膜142の膜厚に相当する長さのオフセット領域が形成されることになる。なお、オフセット領域とは、チャネル形成領域に接して形成され、チャネル形成領域と同一組成の半導体膜でなるが、ゲート電圧が印加されないため反転層(チャネル領域)を形成しない高抵抗な領域を指す。オフ電流値を下げるためにはLDD領域とゲート配線の重なりを極力抑えることが重要であり、そういう意味でオフセット領域を設けることは有効と言える。

【0066】なお、本実施例のように、チャネル形成領域にも $1 \times 10^{15} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ の濃度でp型不純物元素を含んでいる場合、当然オフセット領域にも同濃度でp型不純物元素が含まれる。

【0067】このオフセット領域の長さは、実際にゲート配線の側壁に形成されるキャップ膜の膜厚や不純物元素を添加する際の回り込み現象(マスクの下に潜り込むように不純物が添加される現象)によって決まるが、LDD領域とゲート配線との重なりを抑えるという観点からすれば、本願発明のようにn型不純物領域(c)を形成する際に、前もってキャップ膜を形成しておくことは非常に有効である。

【0068】なお、この工程ではゲート配線で隠された部分を除いて全ての不純物領域にも $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度でリンが添加されているが、非常に低濃度であるため各不純物領域の機能には影響を与えない。また、n型不純物領域(b)143~146には既にチャネルドープ工程で $1 \times 10^{15} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ の濃度のボロンが添加されているが、この工程ではp型不純物領域(b)に含まれるボロンの5~10倍の濃度でリンが添加されるので、この場合もボロンはn型不純物領域(b)の機能には影響を与えないと考えて良い。

【0069】但し、厳密にはn型不純物領域(b)147、148のうちゲート配線に重なった部分のリン濃度が $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ のままであるのに対し、ゲート配線に重ならない部分はそれに $1 \times 10^{16}$

～ $5 \times 10^{18}$  atoms/cm<sup>3</sup>の濃度のリンが加わっており、若干高い濃度でリンを含むことになる。

【0070】次に、第1層間絶縁膜149を形成する。第1層間絶縁膜149としては、珪素を含む絶縁膜、具体的には窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は100～400 nmとすれば良い。本実施例では、プラズマCVD法でSiH<sub>4</sub>、N<sub>2</sub>O、NH<sub>3</sub>を原料ガスとし、200 nm厚の窒化酸化シリコン膜（但し窒素濃度が25～50 atomic%）を用いる。

【0071】その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化するために熱処理工程を行った。この工程はファーンズアニール法、レーザーアニール法、ランプアニール法またはそれらを併用して行うことができる。ファーンズアニール法で行う場合は、不活性雰囲気中において500～800℃、好ましくは550～600℃で行えば良い。本実施例では600℃、4時間の熱処理を行い、不純物元素を活性化する。（図3（D））

【0072】なお、本実施例では窒化シリコン膜142と窒化酸化シリコン膜149とを積層した状態でゲート配線を覆い、その状態で活性化工程を行っている。本実施例ではタングステンを配線材料として用いているが、タングステンは非常に酸化に弱いことが知られている。即ち、保護膜で覆って酸化してもピンホールが保護膜に存在すればただちに酸化されてしまう。ところが、本実施例では酸化防止膜としては非常に有効な窒化シリコン膜を用い、且つ、窒化シリコン膜に対して窒化酸化シリコン膜を積層しているため、窒化シリコン膜のピンホールの問題を気にせずに高い温度で活性化工程を行うことが可能である。

【0073】次に、活性化工程の後、3～100%の水素を含む雰囲気中で、300～450℃で1～4時間の熱処理を行い、活性層の水素化を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0074】活性化工程を終えたら、第1層間絶縁膜149の上に500 nm～1.5 μm厚の第2層間絶縁膜150を形成する。本実施例では第2層間絶縁膜150として800 nm厚の酸化シリコン膜をプラズマCVD法により形成する。こうして第1層間絶縁膜（窒化酸化シリコン膜）149と第2層間絶縁膜（酸化シリコン膜）150との積層膜となる1 μm厚の層間絶縁膜を形成する。

【0075】なお、後の工程で耐熱性が許せば、第2層間絶縁膜150として、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン

ン）等の有機樹脂膜を用いることも可能である。

【0076】その後、それぞれのTFETのソース領域またはドレイン領域に達するコンタクトホールが形成され、ソース配線151～154と、ドレイン配線155～157を形成する。なお、CMOS回路を形成するためにドレイン配線155はpチャネル型TFETとnチャネル型TFETとの間で共通化されている。また、図示していないが、本実施例ではこの配線を、Ti膜を200 nm、Tiを含むアルミニウム膜500 nm、Ti膜100 nmをスパッタ法で連続して形成した3層構造の積層膜とする。なお、ソース配線もしくはドレイン配線として銅配線と窒化チタン配線とを積層しても良い。（図4（A））

【0077】次に、パッシベーション膜158として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜で50～500 nm（代表的には200～300 nm）の厚さで形成する。この時、本実施例では膜の形成に先立ってH<sub>2</sub>、NH<sub>3</sub>等水素を含むガスを用いてプラズマ処理を行い、成膜後に熱処理を行う。この前処理により励起された水素が第1、第2層間絶縁膜中に供給される。この状態で熱処理を行うことで、パッシベーション膜158の膜質を改善するとともに、第1、第2層間絶縁膜中に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0078】また、パッシベーション膜158を形成した後に、さらに水素化工程を行っても良い。例えば、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られる。なお、水素化工程後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜158に開口部（図示せず）を形成しておいても良い。

【0079】その後、有機樹脂からなる第3層間絶縁膜159を約1 μmの厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜や有機系SiO化合物などを用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成する。

【0080】次に、画素部となる領域において、第3層間絶縁膜159上に遮蔽膜160を形成する。なお、本明細書中では光と電磁波を遮るという意味で遮蔽膜という文言を用いる。遮蔽膜160はアルミニウム（Al）、チタン（Ti）、タンタル（Ta）から選ばれた元素でなる膜またはいずれかの元素を主成分とする膜で



100～300 nmの厚さに形成する。本実施例では1wt%のチタンを含有させたアルミニウム膜を125 nmの厚さに形成する。

【0081】なお、第3層間絶縁膜159上に酸化シリコン膜等の絶縁膜を5～50 nm形成しておくこと、この上に形成する遮蔽膜の密着性を高めることができる。また、有機樹脂で形成した第3層間絶縁膜159の表面にCF<sub>4</sub>ガスを用いたプラズマ処理を施すと、表面改質により膜上に形成する遮蔽膜の密着性を向上させることができる。

【0082】また、このチタンを含有させたアルミニウム膜を用いて、遮蔽膜だけでなく他の接続配線を形成することも可能である。例えば、駆動回路内で回路間をつなぐ接続配線を形成できる。但し、その場合は遮蔽膜または接続配線を形成する材料を成膜する前に、予め第3層間絶縁膜にコンタクトホールを形成しておく必要がある。

【0083】次に、遮蔽膜160の表面に陽極酸化法またはプラズマ酸化法（本実施例では陽極酸化法）により20～100 nm（好ましくは30～50 nm）の厚さの酸化物161を形成する。本実施例では遮蔽膜160としてアルミニウムを主成分とする膜を用いたため、陽極酸化物161として酸化アルミニウム膜（アルミナ膜）が形成される。

【0084】この陽極酸化処理に際して、まず十分にアルカリイオン濃度の小さい酒石酸エチレングリコール溶液を作製する。これは15%の酒石酸アンモニウム水溶液とエチレングリコールとを2:8で混合した溶液であり、これにアンモニア水を加え、pHが7±0.5となるように調節する。そして、この溶液中に陰極となる白金電極を設け、遮蔽膜160が形成されている基板を溶液に浸し、遮蔽膜160を陽極として、一定（数mA～数十mA）の直流電流を流す。

【0085】溶液中の陰極と陽極との間の電圧は陽極酸化物の成長に従い時間と共に変化するが、定電流のまま100 V/minの昇圧レートで電圧を上昇させて、到達電圧4.5 Vに達したところで陽極酸化処理を終了させる。このようにして遮蔽膜160の表面には厚さ約50 nmの陽極酸化物161を形成することができる。また、その結果、遮蔽膜160の膜厚は90 nmとなる。なお、ここで示した陽極酸化法に係わる数値は一例にすぎず、作製する素子の大きさ等によって当然最適値は変化するものである。

【0086】また、ここでは陽極酸化法を用いて遮蔽膜表面のみに絶縁膜を設ける構成としたが、絶縁膜をプラズマCVD法、熱CVD法またはスパッタ法などの気相法によって形成しても良い。その場合も膜厚は20～100 nm（好ましくは30～50 nm）とすることが好ましい。また、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、DLC（Diamond like carbon）

膜、酸化タンタル膜または有機樹脂膜を用いても良い。さらに、これらを組み合わせた積層膜を用いても良い。

【0087】次に、第3層間絶縁膜159、バッシンション膜158にドレイン配線157に達するコンタクトホールを形成し、画素電極162を形成する。なお、画素電極163は隣接する別の画素の画素電極である。画素電極162、163は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウムと酸化スズとの化合物（ITOと呼ばれる）膜を110 nmの厚さにスパッタ法で形成する。

【0088】また、この時、画素電極162と遮蔽膜160とが陽極酸化物161を介して重なり、保持容量（キャパシタンス・ストレージ）164を形成する。なお、この場合、遮蔽膜160をフローティング状態（電氣的に孤立した状態）か固定電位、好ましくはコモン電位（データとして送られる画像信号の中間電位）に設定しておくことが望ましい。

【0089】こうして同一基板上に、駆動回路と画素部とを有したアクティブマトリクス基板が完成した。なお、図4（B）においては、駆動回路にはpチャネル型TFT301、nチャネル型TFT302、303が形成され、画素部にはnチャネル型TFTでなる画素TFT304が形成される。

【0090】駆動回路のpチャネル型TFT301には、チャネル形成領域201、ソース領域202、ドレイン領域203がそれぞれp型不純物領域（a）で形成される。但し、厳密にはソース202領域及びドレイン領域203に $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度でリンを含んでいる。

【0091】また、nチャネル型TFT302には、チャネル形成領域204、ソース領域205、ドレイン領域206、そしてチャネル形成領域とドレイン領域との間に、ゲート絶縁膜を挟んでゲート配線と重なったLDD領域（本明細書中ではこのような領域をLov領域という。なお、ovはoverlapの意味で付した。）207が形成される。この時、Lov領域207は $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度でリンを含み、且つ、ゲート配線と全部重なるように形成される。

【0092】また、図4（B）ではできるだけ抵抗成分を減らすためにチャネル形成領域204の片側のみ（ドレイン領域側のみ）にLov領域を配置しているが、チャネル形成領域204を挟んで両側に配置しても良い。

【0093】また、nチャネル型TFT303には、チャネル形成領域208、ソース領域209、ドレイン領域210、そしてチャネル形成領域を挟むようにしてLDD領域211、212が形成される。即ち、ソース領域とチャネル形成領域との間及びドレイン領域とチャネル形成領域との間にLDD領域が形成される。

【0094】なお、この構造ではLDD領域211、212の一部がゲート配線と重なるように配置されたために、ゲート絶縁膜を介してゲート配線と重なった領域（Lov領域）とゲート配線と重ならない領域（本明細書中ではこのような領域をLoff領域という。なお、offはoffsetの意味で付した。）が実現されている。

【0095】ここで図6に示す断面図は図4（B）に示したnチャネル型TFT303を図3（C）の工程まで作製した状態を示す拡大図である。ここに示すように、LDD領域211はさらにLov領域211a、Loff領域211bに区別できる。また、前述のLov領域211aには $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度でリンが含まれるが、Loff領域211bはその1～2倍（代表的には1.2～1.5倍）の濃度でリンが含まれる。

【0096】また、画素TFT304には、チャネル形成領域213、214、ソース領域215、ドレイン領域216、Loff領域217～220、Loff領域218、219に接したn型不純物領域（a）221が形成される。この時、ソース領域215、ドレイン領域216はそれぞれn型不純物領域（a）で形成され、Loff領域217～220はn型不純物領域（c）で形成される。

【0097】本実施例では、画素部および駆動回路が要求する回路仕様に依じて各回路を形成するTFTの構造を最適化し、半導体装置の動作性能および信頼性を向上させることができる。具体的には、nチャネル型TFTは回路仕様に依じてLDD領域の配置を異ならせ、Lov領域またはLoff領域を使い分けることによって、同一基板上に高速動作またはホットキャリア対策を重視したTFT構造と、低オフ電流動作を重視したTFT構造とを実現できる。

【0098】例えば、アクティブマトリクス型液晶表示装置の場合、nチャネル型TFT302は高速動作を重視するシフトレジスタ、分周波回路、信号分割回路、レベルシフト、バッファなどの駆動回路に適している。即ち、チャネル形成領域とドレイン領域との間のみにLov領域を形成することで、できるだけ抵抗成分を低減させつつホットキャリア対策を重視した構造となっている。これは上記回路群の場合、ソース領域とドレイン領域の機能が変わらず、キャリア（電子）の移動する方向が一定だからである。

【0099】但し、必要に応じてチャネル形成領域を挟んでLov領域を形成することもできる。即ち、ソース領域とチャネル形成領域の間、及びドレイン領域とチャネル形成領域との間に形成することも可能である。

【0100】また、nチャネル型TFT303はホットキャリア対策と低オフ電流動作の双方を重視するサンプリング回路（トランスファゲートともいう）に適している。即ち、Lov領域を形成することでホットキャリア対策とし、さらにLoff領域を形成することで低オフ電流

動作を実現する。また、サンプリング回路はソース領域とドレイン領域の機能が反転してキャリアの移動方向が $180^\circ$ 変わるため、ゲート配線を中心に線対称となるような構造としなければならない。なお、場合によってはLov領域のみとすることもありうる。

【0101】また、nチャネル型TFT304は低オフ電流動作を重視した画素部、サンプリング回路に適している。即ち、オフ電流値を増加させる要因となりうるLov領域を配置せず、Loff領域とオフセット領域を配置することで低オフ電流動作を実現している。また、駆動回路のLDD領域よりも低い濃度のLDD領域をLoff領域として用いることで、多少オン電流値が低下しても徹底的にオフ電流値を低減する対策を打っている。さらに、n型不純物領域（a）221はオフ電流値を低減する上で非常に有効であることが確認されている。

【0102】また、チャネル長 $3 \sim 7 \mu\text{m}$ に対してnチャネル型TFT302のLov領域207の長さ（幅）は $0.3 \sim 3.0 \mu\text{m}$ 、代表的には $0.5 \sim 1.5 \mu\text{m}$ とすれば良い。また、nチャネル型TFT303のLov領域211a、212aの長さ（幅）は $0.3 \sim 3.0 \mu\text{m}$ 、代表的には $0.5 \sim 1.5 \mu\text{m}$ 、Loff領域211b、212bの長さ（幅）は $1.0 \sim 3.5 \mu\text{m}$ 、代表的には $1.5 \sim 2.0 \mu\text{m}$ とすれば良い。また、画素TFT304に設けられるLoff領域217～220の長さ（幅）は $0.5 \sim 3.5 \mu\text{m}$ 、代表的には $2.0 \sim 2.5 \mu\text{m}$ とすれば良い。

【0103】さらに、pチャネル型TFT301は自己整合（セルフアライン）的に形成され、nチャネル型TFT302～304は非自己整合（ノンセルフアライン）的に形成されている点も本発明の特徴の一つである。

【0104】また、本実施例では保持容量の誘電体として比誘電率が7～9と高いアルミナ膜を用いたことで、必要な容量を形成するために必要な保持容量の占有面積を少なくすることができる。さらに、本実施例のように画素TFT上に形成される遮蔽膜を保持容量の一方の電極とすることで、アクティブマトリクス型液晶表示装置の画像表示部の開口率を向上させることができる。

【0105】なお、本発明は本実施例に示した保持容量の構造に限定される必要はない。例えば、本出願人による特願平9-316567号出願、特願平9-273444号出願または特願平10-254097号出願に記載された構造の保持容量を用いることもできる。

【0106】ここでアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図5に示すように、図4（B）の状態の基板に対し、配向膜501を形成する。本実施例では配向膜としてポリイミド膜を用いる。また、対向基板502には、透明導電膜からなる対向電極503と、配向膜504とを形成する。なお、対向基板には必要に応じてカラ



ーフィルターや遮蔽膜を形成しても良い。

【0107】次に、配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するように調節する。そして、画素部と、駆動回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ（共に図示せず）などを介して貼りあわせる。その後、両基板の間に液晶505を注入し、封止剤（図示せず）によって完全に封止する。液晶には公知の液晶材料を用いれば良い。このようにして図5に示すアクティブマトリクス型液晶表示装置が完成する。

【0108】次に、このアクティブマトリクス型液晶表示装置の構成を、図8の斜視図を用いて説明する。なお、図8は、図1～図4の断面構造図と対応付けるため、共通の符号を用いている。アクティブマトリクス基板は、石英基板101上に形成された、画素部801と、走査（ゲート）信号駆動回路802と、画像（ソース）信号駆動回路803で構成される。画素部の画素TFT304はnチャネル型TFTであり、周辺に設けられる駆動回路はCMOS回路を基本として構成されている。走査信号駆動回路802と、画像信号駆動回路803はそれぞれゲート配線128とソース配線154で画素部801に接続されている。また、FPC804が接続された端子805と駆動回路とが接続配線806、807によって電気的に接続されている。

【0109】次に、図8に示したアクティブマトリクス型液晶表示装置の回路構成の一例を図9に示す。本実施例のアクティブマトリクス型液晶表示装置は、画像信号駆動回路901、走査信号駆動回路（A）907、走査信号駆動回路（B）911、ブリッジ回路912、画素部906を有している。なお、本明細書中において、駆動回路には画像信号処理回路901および走査信号駆動回路907が含まれる。

【0110】画像信号駆動回路901は、シフトレジスタ902、レベルシフタ903、バッファ904、サンプリング回路905を備えている。また、走査信号駆動回路（A）907は、シフトレジスタ908、レベルシフタ909、バッファ910を備えている。走査信号駆動回路（B）911も同様な構成である。

【0111】ここでシフトレジスタ902、908は駆動電圧が3.5～16V（代表的には5V又は10V）であり、回路を形成するCMOS回路に使われるnチャネル型TFTは図4（B）の302で示される構造が適している。

【0112】また、レベルシフタ903、909、バッファ904、910は、駆動電圧は14～16Vと高くなるが、シフトレジスタと同様に、図4（B）のnチャネル型TFT302を含むCMOS回路が適している。なお、ゲート配線をダブルゲート構造、トリプルゲート構造といったマルチゲート構造とすることは、各回路の

信頼性を向上させる上で有効である。

【0113】また、サンプリング回路905は駆動電圧が14～16Vであるが、ソース領域とドレイン領域が反転する上、オフ電流値を低減する必要があるので、図4（B）のnチャネル型TFT303を含むCMOS回路が適している。なお、図4（B）ではnチャネル型TFTしか図示されていないが、実際にサンプリング回路を形成する時はnチャネル型TFTとpチャネル型TFTとを組み合わせることで形成すると大電流を流しやすくなり好ましい。

【0114】また、画素部906は駆動電圧が14～16Vであり、サンプリング回路905よりもさらに低いオフ電流値が要求されるので、Low領域を配置しない構造とすることが望ましく、図4（B）のnチャネル型TFT304を画素TFTとして用いることが望ましい。

【0115】本願発明において最も大きな特徴は、画素TFTのLDD領域とチャネル形成領域との間にオフセット領域が存在する点にある。そのことについて、図7を用いて説明する。図7は、図3（C）の工程までを終えた状態の画素TFTの一部を拡大した断面図である。

【0116】本実施例の作製工程で画素TFTを作製した場合、図7に示すように、チャネル形成領域214とn型不純物領域（c）でなるLDD領域220（または219）との間にオフセット領域701（または702）が存在する。このオフセット領域701の長さは、ほぼキャップ膜142の膜厚（ここでいう膜厚は厳密にはゲート配線の側壁に形成されている部分の膜厚）に一致する。

【0117】但し、リンを添加する際の回り込みによってオフセット領域701の長さはキャップ膜142の膜厚よりも短くなることは言うまでもない。

【0118】本願発明では、このオフセット領域701、702の長さが0～200nm（好ましくは20～100nm、さらに好ましくは30～70nm）とする。この長さはキャップ膜142の膜厚を調節することで制御することができる。

【0119】このように本願発明では、画素TFTに対してLDD領域とオフセット領域の二つの抵抗領域を設けているため、オフ電流値を極めて低い値にすることが可能である。即ち、ソースドレイン間の電圧が14V、ゲート電圧が-17.5VといったようにTFTが完全にオフ状態にある時、5pA以下（好ましくは1pA以下）といったオフ電流値を達成しうる。

【0120】なお、本実施例の構成は、図1～4に示した工程に従ってTFTを作製することによって容易に実現することができる。また、本実施例では画素部と駆動回路の構成のみ示しているが、実施例1の作製工程に従えば、その他にも信号分割回路、分周波回路、D/Aコンバータ回路、オペアンプ回路、 $\gamma$ 補正回路、さらにはマイクロプロセッサ回路などの信号処理回路（論理回路

と言っても良い)を同一基板上に形成することも可能である。

【0121】このように本発明は、同一基板上に画素部及び画素部を制御するための駆動回路を含む電気光学装置、例えば同一基板上に駆動回路及び画素部を具備した電気光学装置を実現しうる。

【0122】また、本実施例の図2(B)までの工程を行うと、結晶格子に連続性を持つ特異な結晶構造の結晶質シリコン膜が形成される。このような結晶質シリコン膜に関する詳細は、本出願人による特願平10-044659号、特願平10-152316号、特願平10-152308号または特願平10-152305号の出願を参照すれば良い。以下、本出願人が実験的に調べた結晶構造の特徴について概略を説明する。なお、この特徴は、本実施例によって完成されたTFTの活性層を形成する半導体層の特徴と一致する。

【0123】上記結晶質シリコン膜は、微視的に見れば複数の針状又は棒状の結晶(以下、棒状結晶と略記する)が集まって並んだ結晶構造を有する。このことはTEM(透過型電子顕微鏡法)による観察で容易に確認できる。

【0124】また、電子線回折及びエックス線(X線)回折を利用すると結晶質シリコン膜の表面(チャネルを形成する部分)が、結晶軸に多少のずれが含まれているものの配向面として{110}面を有することを確認できる。この時、電子線回折で分析を行えば{110}面に対応する回折斑点がきれいに現れるのを確認することができる。また、各斑点は同心円上に分布を持っていることも確認できる。

【0125】また、個々の棒状結晶が接して形成する結晶粒界をHR-TEM(高分解能透過型電子顕微鏡法)により観察すると、結晶粒界において結晶格子に連続性があることを確認できる。これは観察される格子縞が結晶粒界において連続的に繋がっていることから容易に確認することができる。

【0126】なお、結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol. 27, No. 5, pp. 751-758, 1988」に記載された「Planar boundary」である。

【0127】上記論文によれば、平面状粒界には双晶粒界、特殊な積層欠陥、特殊なtwist粒界などが含まれる。この平面状粒界は電気的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【0128】特に結晶軸(結晶面に垂直な軸)が<11

0>軸である場合、{211}双晶粒界は $\Sigma 3$ の対応粒界とも呼ばれる。 $\Sigma$ 値は対応粒界の整合性の程度を示す指針となるパラメータであり、 $\Sigma$ 値が小さいほど整合性の良い粒界であることが知られている。

【0129】実際に本実施例の結晶質シリコン膜を詳細にTEMを用いて観察すれば、結晶粒界の殆ど(90%以上、典型的には95%以上)が $\Sigma 3$ の対応粒界、典型的には{211}双晶粒界であることが判る。

【0130】二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が{110}である場合、{111}面に対応する格子縞がなす角を $\theta$ とすると、 $\theta=70.5^\circ$ の時に $\Sigma 3$ の対応粒界となることが知られている。本実施例の結晶質シリコン膜は、結晶粒界において隣接する結晶粒の各格子縞がまさに約 $70.5^\circ$ の角度で連続しており、その事からこの結晶粒界は $\Sigma 3$ の対応粒界であると言える。

【0131】なお、 $\theta=38.9^\circ$ の時には $\Sigma 9$ の対応粒界となるが、この様な他の対応粒界も存在する。いずれにしても不活性であることに変わりはない。

【0132】この様な結晶構造(正確には結晶粒界の構造)は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。従って、この様な結晶構造を有する半導体薄膜は実質的に結晶粒界が存在しない見なすことができる。

【0133】またさらに、800~1150℃という高い温度での熱処理工程(実施例1における熱酸化工程に相当する)によって結晶粒内に存在する欠陥が殆ど消滅していることがTEM観察によって確認されている。これはこの熱処理工程の前後で欠陥数が大幅に低減されていることから明らかである。

【0134】この欠陥数の差は電子スピン共鳴分析(Electron Spin Resonance : ESR)によってスピン密度の差となって現れる。現状では本実施例の結晶質シリコン膜のスピン密度は少なくとも $5 \times 10^{17} \text{ spins/cm}^3$ 以下(好ましくは $3 \times 10^{17} \text{ spins/cm}^3$ 以下)であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【0135】以上の事から、本実施例の結晶質シリコン膜は結晶粒内の欠陥が極端に少なく、結晶粒界が実質的に存在しないと見なせるため、単結晶シリコン膜又は実質的な単結晶シリコン膜と考えて良い。

【0136】[実施例2] 本実施例では、実施例1に示した構造を有する画素部の構成について図10を用いて説明する。なお、図10に示す上面図では画素部の任意の一面素に注目し、実施例1で用いた符号をそのまま引用する。

【0137】図10(A)は活性層、ゲート配線、ソー

ス配線の重ねあわせを示す上面図であり、同図(B)はその上に遮蔽膜、画素電極を重ねあわせた状態を示す上面図である。図10(A)において、ゲート配線128は、図示されていないゲート絶縁膜を介してその下の活性層114と交差している。また、図示はしていないが、活性層114には、ソース領域、ドレイン領域、n型不純物領域(c)となるLoff領域が形成されている。また、1001はソース配線154と活性層114とのコンタクト部、1002はドレイン配線157と活性層114とのコンタクト部である。

【0138】また、図10(B)において、画素TFTの上には表面に陽極酸化物(ここでは図示しないが、図4(B)の陽極酸化物161を指す)が形成された遮蔽膜160と、各画素ごとに設けられる画素電極162、163が形成されている。そして、遮蔽膜160と画素電極162とが陽極酸化物を介して重なる領域で保持容量164が形成される。なお、1003はドレイン配線157と画素電極162とのコンタクト部である。

【0139】本実施例では保持容量の誘電体として比誘電率が7~9と高いアルミナ膜を用いることで、必要な容量を形成するための面積を少なくすることが可能である。さらに、本実施例のように画素TFT上に形成される遮光膜を保持容量の一方の電極とすることで、アクティブマトリクス型液晶表示装置の画像表示部の開口率を向上させることができる。

【0140】[実施例3] 本実施例では、画素部の構成を実施例2(図10参照)とは異なるものとした場合について図11を用いて説明する。なお、実施例1、2で説明した画素部の構造とはゲート配線の一部分が異なるだけで全て同一構造である。従って、同一の部分に関しては説明はするが同じ符号を用いる。

【0141】図11(A)は本実施例の画素部の断面図であり、ゲート配線(但し活性層と重なる部分を除く)1101を、第1導電膜1102、第2導電膜1103および第3導電膜1104を積層して形成する点に特徴がある。即ち、第1導電膜1102と第2導電膜1103とで第3導電膜1104を挟んだ構造をとる。

【0142】本実施例では第1導電膜1102として酸化タンタル膜、第2導電膜1103としてタンタル膜、第3導電膜1104としてアルミニウムを主成分とする合金膜を用いる。この構造を形成するには、まずゲート絶縁膜上に第1導電膜1102を形成し、その上に第3導電膜1104を形成する。そして、第3導電膜1104を所定の形状にパターニングして、その上を第2導電膜1103で覆う。この後、第1導電膜1102と第2導電膜1103とを一括でエッチングして図11(A)に示すような構造のゲート配線が形成される。

【0143】そして、この時の上面図は図11(B)に示すようなものとなる。即ち、ゲート配線のうち活性層と重なる部分(この部分はゲート電極と呼んでもよい)

1105a、1105b(それぞれ図2(E)のゲート配線128a、128bに相当する)は第1および第2の導電膜の積層構造でなる。一方、ゲート配線1101はゲート配線1105a、1105bよりも配線幅が太く、且つ、図11(A)に示すような三層構造で形成される。即ち、ゲート配線の中でも単に配線として用いる部分はできるだけ配線抵抗を小さくするために、本実施例のような構造とすることが好ましい。

【0144】また、実施例1の図8に示したアクティブマトリクス型液晶表示装置においては、端子805と走査信号駆動回路802や画像信号駆動回路803をつなぐ接続配線806、807は、本実施例で説明したような三層構造の配線を用いることで配線の低抵抗化を図ることが望ましい。

【0145】なお、図11(B)に示した構造は、実施例1と本実施例で説明した配線構造の形成方法とを組み合わせることで実現可能である。従って、実施例1で説明したアクティブマトリクス型液晶表示装置に本実施例の構成を組み合わせることは可能である。

【0146】[実施例4] 本実施例では実施例1と異なる構造の画素部について図12を用いて説明する。なお、基本的な構造は図3(C)に示した画素部と同一構造であるので、相違点のみを説明する。

【0147】まず、図12(A)の構造は第3層間絶縁膜159と遮蔽膜160との間にバッファ層1201を形成した例である。バッファ層1201としては、10~100nm(好ましくは30~50nm)の膜厚の珪素を含む絶縁膜を用いる。但し、第3層間絶縁膜159が有機樹脂膜である場合、真空中に曝すと樹脂膜中からの脱ガスが問題となるため、スパッタ法で形成できる絶縁膜を用いることが好ましい。

【0148】本実施例では50nm厚の酸化シリコン膜をバッファ層1201として用いる。このバッファ層を形成することで、第3層間絶縁膜159と遮蔽膜160の密着性が向上する。実施例1のように酸化物161を陽極酸化法によって形成する際、密着性が悪いと第3層間絶縁膜と遮蔽膜との界面に潜り込むようにして陽極酸化物が形成される不具合が発生する。しかしながら、図12(A)の構造とすることでそのような不具合を防ぐことができる。

【0149】また、図12(B)の構造は、基本構造は図12(A)と同様であるが、遮蔽膜160の下に自己整合的にバッファ層1202を形成する例である。この場合、遮蔽膜160をマスクとして自己整合的にバッファ層のエッチングを行うことで図12(B)の構造を実現できる。

【0150】エッチング工程は、遮蔽膜160を形成した直後に行っても良いし、酸化物161を形成した後で行っても良い。但し、バッファ層1202の材料と酸化物161の材料が同じエッチャントでエッチングされて

しまう場合は、酸化物161を形成する前にエッチング工程を行うことが望ましい。

【0151】また、図12(B)の構造とすることで第3層間絶縁膜159にコンタクトホールを開けるときに有利である。有機樹脂膜の上に酸化シリコン膜等が存在すると、有機樹脂膜をエッチングする際に酸化シリコン膜がひさし状に残ってしまう恐れがある。そのため、図12(B)の構造のように予めコンタクトホールを形成する位置ではバッファ層を除去しておくことが好ましい。

【0152】また、図12(C)の構造は、遮蔽膜160、酸化物161を形成した後で絶縁膜でなるスペーサー1203a~1203dを形成し、その後で画素電極1204を形成する例を示す。スペーサー1203a~1203dの材料としては、有機樹脂膜が好ましく、特に感光性を有するポリイミドやアクリルを用いることが好ましい。

【0153】図12(C)のような構造とすることで、遮蔽膜160の端部(エッチ部)をスペーサーで隠すことになるので、遮蔽膜160の端部で遮蔽膜と画素電極とが短絡するようなことを防ぐことができる。

【0154】なお、本実施例の構成は、実施例1の作製工程において第3層間絶縁膜の形成~画素電極の形成までを変更しただけであり、その他の工程は実施例1と同様の工程で良い。従って、実施例1に示したアクティブマトリクス型液晶表示装置に適用することも可能である。また、実施例1~3に示したいずれの構成とも自由に組み合わせることが可能である。

【0155】【実施例5】画素部の各画素に設けられる保持容量は画素電極に接続されていない方の電極(本発明の場合は遮蔽膜)を固定電位としておくことで保持容量を形成することができる。その場合、遮蔽膜をフローティング状態(電気的に孤立した状態)かコモン電位(データとして送られる画像信号の中間電位)に設定しておくことが望ましい。

【0156】そこで本実施例では遮蔽膜をコモン電位に固定する場合の接続方法について図13を用いて説明する。なお、基本構造は図4(B)で説明した画素部と同様であるので、同一部位には同じ符号を用いて説明する。

【0157】図13(A)において、304は実施例1と同様にして作製された画素TFT(nチャネル型TFT)であり、160は保持容量の一方の電極として機能する遮蔽膜である。画素部の外側に延在した遮蔽膜1301は第3層間絶縁膜159、パッシベーション膜158に設けられたコンタクトホール1302を介してコモン電位を与える電源供給線1303と接続している。この電源供給線1303はソース配線またはドレイン配線と同時に形成しておけば良い。

【0158】このように画素部の外側において、遮蔽膜

1301とコモン電位を与える電源供給線1303とを電気的に接続することで、遮蔽膜160をコモン電位に保持することができる。従って、この場合には遮蔽膜1301を形成する前に第3層間絶縁膜159、パッシベーション膜158をエッチングしてコンタクトホールを形成しておく工程が必要となる。

【0159】次に、図13(B)において、304は実施例1と同様にして作製された画素TFTであり、160は保持容量の一方の電極として機能する遮蔽膜である。画素部の外側まで延在した遮蔽膜1304は、1305で示される領域において導電膜1306と酸化物1307を介して重なる。この導電膜1306は画素電極162と同時に形成される。

【0160】そして、この導電膜1306は第3層間絶縁膜159、パッシベーション膜158に設けられたコンタクトホール1308を介してコモン電位を与える電源供給線1309と接続している。この時、領域1305では遮蔽膜1304、酸化物1307、導電膜1306でなるコンデンサが形成される。このコンデンサの容量が十分に大きい(1走査ライン分の全面素に接続された全保持容量の合計容量の10倍程度)場合、領域1305で形成された静電結合によって遮蔽膜1304及び160の電位変動を低減することができる。

【0161】また、図13(B)の構造を採用する場合は、アクティブマトリクス型液晶表示装置の駆動方法としてはソースライン反転駆動を採用することが好ましい。ソースライン反転駆動ならば画素電極に印加される電圧極性が1フレーム毎に反転するので、時間的に平均化すれば遮蔽膜160に蓄積される電荷量は殆どゼロとなる。即ち、非常に電位変動の小さい状態を維持できるので、安定した保持容量を形成することができる。

【0162】このように図13(B)の構造を採用することで、工程数を増やすことなく遮蔽膜をコモン電位に保持することが可能となる。

【0163】なお、本実施例の構成は、実施例1の作製工程を一部変更するだけで実現可能であり、その他の工程は実施例1と同様の工程で良い。従って、実施例1に示したアクティブマトリクス型液晶表示装置に適用することも可能である。また、実施例1~3に示したいずれの構成とも自由に組み合わせることが可能である。

【0164】【実施例6】実施例1では非晶質シリコン膜を結晶化するために用いたニッケルをリンを用いてゲッタリングする例を示したが、本実施例では他の元素を用いて上記触媒元素をゲッタリングする場合について説明する。

【0165】まず、実施例1の工程(図1(B)の工程まで)に従って、結晶構造を有する半導体膜(本実施例では結晶質シリコン膜)を得る。但し、本実施例では結晶化に用いる触媒元素(ニッケルを例にとる)の導入濃度を極力低いものとする。具体的には、非晶質シリコン

膜上に重量換算で0.5～3 ppmのニッケル含有層を形成し、結晶化のための熱処理を行う。これにより形成された結晶質シリコン膜中に含まれるニッケル濃度は、 $1 \times 10^{17} \sim 1 \times 10^{19} \text{atoms/cm}^3$  (代表的には  $5 \times 10^{17} \sim 1 \times 10^{18} \text{atoms/cm}^3$ ) となる。

【0166】そして、結晶質シリコン膜を形成したら、マスク膜を除去した後にハロゲン元素を含む酸化性雰囲気中で熱処理を行う。温度は800～1150℃ (好ましくは900～1000℃) とし、処理時間は10分～4時間 (好ましくは30分～2時間) とする。

【0167】本実施例では、酸素雰囲気中に対して3～10体積%の塩化水素を含ませた雰囲気中において、950℃30分の熱処理を行う。この工程により結晶質シリコン膜中のニッケルは揮発性の塩化化合物 (塩化ニッケル) となって処理雰囲気中に離脱する。即ち、ハロゲン元素のゲッターリング作用によってニッケルを除去することが可能となる。但し、結晶質シリコン膜中に存在するニッケル濃度が高すぎると、ニッケルの偏析部で酸化が異常に進行するという問題を生じる。そのため、結晶化の段階で用いるニッケルの濃度を極力低くする必要がある。

【0168】こうして形成された結晶質シリコン膜中に残存するニッケルの濃度は、 $1 \times 10^{17} \text{atoms/cm}^3$  以下、好ましくは  $1 \times 10^{16} \text{atoms/cm}^3$  となる。この後は、実施例1に従って図1 (D) 以降の工程を実施すれば良い。

【0169】なお、本実施例の構成は実施例1に適用することも可能であるし、実施例1に示したアクティブマトリクス型液晶表示装置に適用することも可能である。また、実施例2～5のいずれの構成とも自由に組み合わせることが可能である。また、実施例1に示したリンによるゲッターリング工程と併用することも可能である。

【0170】【実施例7】本実施例では、n型不純物領域(c)の形成方法に関して、実施例1と異なる工程を用いる例を示す。説明には図14を用いる。

【0171】まず、実施例1の工程に従って図3 (B) の状態を得る。次に、レジストマスク132～134を除去し、キャップ膜142を形成する。本実施例ではキャップ膜142の膜厚を20 nmとする。

【0172】次に、0.8～1 μmの厚さに半導体膜 (図示せず) を形成し、異方性エッチングを行うことによりサイドウォール1401a、1401bを形成する。そして、この状態で図3 (C) と同様にn型不純物元素を添加し、n型不純物領域(c) 1402a、1402bを形成する。この時、サイドウォール1401a、1401bもマスクとして機能するので、オフセット領域1403a、1403bが形成される。

【0173】本実施例では、オフセット領域1403a、1403bの長さ (幅) が、サイドウォール1401a、1401bとキャップ膜142の膜厚によって決定さ

れる。特に、オフセット領域を100～200 nmといったように長めに形成したい場合に本実施例は有効である。

【0174】実施例1ではキャップ膜142の膜厚 (ゲート配線の側壁に形成された部分の膜厚) によってオフセット領域の長さが決定されるが、100～200 nmといった長さを実現するにはキャップ膜142の膜厚もそれに応じて厚くしなければならない。ところがn型不純物領域(c) はゲート絶縁膜とキャップ膜との積層膜を通してn型不純物元素を添加するので、ゲート絶縁膜の膜厚を極端に薄くしないと不純物添加工程のスループットを大幅に低下させてしまう。

【0175】従って、本実施例のような構成とすると、オフセット領域1403a、1403bの長さは実質的にサイドウォール1401a、1401bで決まり、ゲート絶縁膜の膜厚と無関係に決めることができる。なお、本実施例ではサイドウォール1401a、1401bを形成する際にエッチング選択比を確保する目的でキャップ膜142を形成しているが、必要がなければ省略しても良い。

【0176】なお、本実施例の構成は実施例1と組み合わせることもできるし、実施例1に示したアクティブマトリクス型液晶表示装置に適用することもできる。また、実施例2～5のいずれの構成とも自由に組み合わせることが可能である。

【0177】【実施例8】本実施例では、実施例1と異なる工程でアクティブマトリクス基板を作製する場合の例について説明する。

【0178】実施例1では、p型不純物領域(a)の形成工程及びn型不純物領域(a)の形成工程ともにゲート絶縁膜を介したスルードーピングによって一導電型を付与する不純物元素を添加している。しかし、これらの不純物領域を形成する際はゲート絶縁膜を除去して活性層を露出させた状態で行っても良い。

【0179】この場合、実施例1の工程に従って図2 (E) の工程まで進めたら、ゲート配線125～128をマスクとして自己整合的にゲート絶縁膜をエッチングし、活性層111～114の一部を露出させる。なお、このとき、ゲート配線の形成時に用いたレジストマスク (図示せず) をそのまま残してマスクとすればゲート配線にダメージを与えることなくエッチング工程を行うことができる。

【0180】この後は、実施例1と同様にp型不純物領域(a)及びn型不純物領域(a)を順次形成していけば良い。但し、不純物元素の添加条件は実施例1と異なり、ゲート絶縁膜を通す必要がないので加速電圧を低く設定する。添加条件に関してはp型不純物領域(a)及びn型不純物領域(a)に含まれる不純物濃度が実現されるように実施者が最適な条件を選択すれば良い。

【0181】本実施例の作製工程を採用した場合、実施

例1の図3(C)に相当する工程は図15(A)に示ようになる。図15(A)において、1501~1505はゲート配線をマスクとして自己整合的に形成されたゲート絶縁膜であり、ゲート配線を覆ってキャップ膜1506が形成される。そして、この状態で図3(c)と同様にn型不純物元素を添加し、n型不純物領域(c)1507~1510を形成する。このとき、チャンネル形成領域1511、1512とn型不純物領域(c)1507~1510との間にはキャップ膜1506の膜厚にほぼ相当する長さのオフセット領域(図示せず)が形成される。

【0182】また、場合によっては図15(B)に示すように、キャップ膜1506の上にさらに第2キャップ膜1513を積層して、その積層膜を通してn型不純物元素を添加しても良い。これにより形成されたn型不純物領域(c)1514~1517とチャンネル形成領域1518、1519との間にはキャップ膜1506及び第2キャップ膜1513の合計膜厚にほぼ相当する長さのオフセット領域(図示せず)が形成される。

【0183】図15(B)の構成では、第2キャップ膜1513の膜厚を調節することでオフセット領域の長さを自由に調節することができる。第2キャップ膜1513は珪素を含む絶縁膜(好ましくは窒化酸化シリコン膜)を用い、膜厚は30~200nm(好ましくは50~150nm)とすれば良い。

【0184】本実施例ではキャップ膜(第1キャップ膜)1506として窒化シリコン膜を用いているが、窒化シリコン膜は厚くつけると応力が強くなって膜はがれ等の不具合を生じる恐れがある。従って、ゲート配線の酸化防止膜としてある程度の膜厚では形成しておきたいが、膜厚が薄いと有効なオフセット領域が形成できない場合がある。そのような時に図15(B)に示した構成は有効である。

【0185】なお、本実施例の構成は実施例1を変形すれば実現可能であり、実施例1に示したアクティブマトリクス型液晶表示装置に適用することもできる。また、実施例2~7のいずれの構成とも自由に組み合わせることが可能である。

【0186】[実施例9] 本実施例では、実施例1と異なる工程でアクティブマトリクス基板を作製する場合の例について図16を用いて説明する。

【0187】まず、実施例1の工程に従って図2(E)の工程まで行う。次に、ゲート絶縁膜と同一材料でなるキャップ膜(本実施例では窒化酸化シリコン膜)1601を30nmの厚さに形成する。そして、図3(C)と同様の条件でn型不純物元素の添加工程を行い、n型不純物領域(c)1602~1603を形成する。(図16(A))

【0188】次に、ゲート配線をマスクとして自己整合的にゲート絶縁膜をエッチングし、ゲート配線の直下に

ゲート絶縁膜1605~1609を形成する。次にレジストマスク1610を形成し、図3(A)と同様にp型不純物元素の添加工程を行って、p型不純物領域(a)1611、1612を形成する。(図16(B))

【0189】次に、レジストマスク1610を除去し、新たにレジストマスク1613~1616を形成する。そして、図3(B)と同様にn型不純物元素の添加工程を行って、n型不純物領域(a)1617~1623を形成する。(図16(C))

【0190】次にレジストマスク1613~1616を除去し、第1層間絶縁膜1624を形成する。本実施例では50nm厚の窒化シリコン膜と200nm厚の窒化酸化シリコン膜との積層膜を用いるが、多層構造に限らず珪素を含む絶縁膜でなる単層構造を用いることも可能である。

【0191】次に、第1層間絶縁膜1624を形成した後で添加された不純物元素の活性化工程を行う。本実施例では800℃1時間のファーンズアニールによって活性化を行う。(図16(D))

【0192】以上のような作製工程に従って、アクティブマトリクス基板を作製し、公知のセル組み工程を行ってアクティブマトリクス型液晶表示装置を作製することができる。なお、実施例1に示したアクティブマトリクス基板(図4(B))と構造的に異なる点はゲート絶縁膜と第1層間絶縁膜の構成のみであり、駆動回路及び画素部の機能は実施例1と変わらないものが得られる。

【0193】なお、本実施例の構成は実施例1の該当部分を変更すれば実現可能であり、実施例1に示したアクティブマトリクス型液晶表示装置と同等のアクティブマトリクス型液晶表示装置を作製することも可能である。また、実施例2~8のいずれの構成とも自由に組み合わせることが可能である。

【0194】[実施例10] 実施例1に示した作製工程においては、nチャンネル型TFTとなる領域のみにチャンネルドープ工程を行ってしきい値電圧を制御する例を示しているが、nチャンネル型TFTやpチャンネル型TFTの区別なしに全面にチャンネルドープ工程を行うことも可能である。その場合、作製工程のフォトリソ数が減るので工程のスループットおよび歩留まりの向上が図れる。

【0195】また、場合によっては全面にチャンネルドープ工程を施して、nチャンネル型TFTまたはpチャンネル型TFTのどちらか一方に、全面に添加した不純物元素と逆の導電型を付与する不純物元素を添加する場合もありうる。

【0196】なお、本実施例の構成は、実施例2~9に示したいずれの構成とも自由に組み合わせることが可能である。

【0197】[実施例11] 実施例1に示した作製工程例では、nチャンネル型TFTのゲート配線を形成する前



に、前もって後にL<sub>ov</sub>領域として機能するn型不純物領域(b)を形成することが前提となっている。そして、p型不純物領域(a)、n型不純物領域(c)はともに自己整合的に形成されることが特徴となっている。

【0198】しかしながら、本発明の効果をを得るためには最終的な構造が図4(B)のような構造となっていれば良く、そこに至るプロセスに限定されるものではない。従って、不純物領域の形成順序は実施者が適宜変更して構わない。また、場合によってはp型不純物領域(a)やn型不純物領域(c)を、レジストマスクを用いて形成することも可能である。即ち、最終的に図4(B)に示したように、各回路に応じて異なる構成の活性層を有するTFTが形成されるのであれば、あらゆる組み合わせの工程順序を採用しても構わない。

【0199】【実施例12】本実施例では、本発明をシリコン基板上に作製した半導体装置に適用した場合について説明する。典型的には、画素電極として反射率の高い金属膜を用いた反射型液晶表示装置に適用できる。

【0200】本実施例は、実施例1においてシリコン基板(シリコンウェハ)に直接的にn型またはp型不純物元素を添加してLDD領域、ソース領域またはドレイン領域といった不純物領域を形成する。その際、各不純物領域の形成順序やゲート絶縁膜の形成順序は問わない。

【0201】なお、本実施例の構成は実施例1~11のいずれの構成とも自由に組み合わせることが可能である。但し、活性層となる半導体層は単結晶シリコン基板と決まっているので、結晶化工程以外での組み合わせとなる。

【0202】【実施例13】実施例1では、L<sub>ov</sub>領域やL<sub>off</sub>領域をnチャネル型TFTのみに配置し、その位置を回路仕様に応じて使い分けることを前提に説明を行ったが、TFTサイズが小さくなる(チャネル長が短くなる)と、pチャネル型TFTに対しても同様のことが言えるようになる。

【0203】即ち、チャネル長が2 $\mu$ m以下となると短チャネル効果が顕在化するため、場合によってはpチャネル型TFTにもL<sub>ov</sub>領域を配置する必要性が出てくる。このように、本発明においてpチャネル型TFTは実施例1、4~31に示した構造に限定されるものではなく、nチャネル型TFTと同一構造であっても構わない。

【0204】なお、本実施例を実施する場合は、実施例1の構成においてn型不純物領域(b)の形成と同じように、p型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm<sup>3</sup>で含まれる不純物領域を形成しておけば良い。また、本実施例の構成は実施例2~13のいずれの構成とも自由に組み合わせることが可能である。

【0205】【実施例14】本発明は従来のMOSFET上に層間絶縁膜を形成し、その上にTFTを形成する際に用いることも可能である。即ち、三次元構造の半導

体装置を実現することも可能である。また、基板としてSIMOX、Smart-Cut(SOITEC社の登録商標)、ELTRAN(キャノン株式会社の登録商標)などのSOI基板を用いることも可能である。

【0206】なお、本実施例の構成は、実施例1~12のいずれの構成とも自由に組み合わせることが可能である。

【0207】【実施例15】本発明によって作製された液晶表示装置は様々な液晶材料を用いることが可能である。そのような材料として、TN液晶、PDLC(ポリマー分散型液晶)、FLC(強誘電性液晶)、AFLC(反強誘電性液晶)、またはFLCとAFLCの混合物(反強誘電性混合液晶)が挙げられる。

【0208】例えば、「H.Furue et al.:Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability, SID, 1998」、 「T.Yoshida et al.:A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time, 841, SID97DIGEST, 1997」、 「S.Inui et al.:Thresholdless antiferroelectricity in liquid crystals and its application to displays, 671-673, J. Mater. Chem. 6(4), 1996」、または米国特許第5,594,569号に開示された材料を用いることができる。

【0209】特に、電場に対して透過率が連続的に変化する電気光学応答特性を示す無しき値反強誘電性混合液晶(Thresholdless Antiferroelectric LCD:TL-AFLCと略記する)にはV字型(またはU字型)の電気光学応答特性を示すものがあり、その駆動電圧が約 $\pm 2.5$ V程度(セル厚約1 $\mu$ m~2 $\mu$ m)のものも見出されている。そのため、画素部用の電源電圧が5~8V程度で済む場合があり、駆動回路と画素部を同じ電源電圧で動作させる可能性が示唆されている。即ち、液晶表示装置全体の低消費電力化を図ることができる。

【0210】また、強誘電性液晶や反強誘電性液晶はTN液晶に比べて応答速度が速いという利点をもつ。本発明で用いるようなTFTは非常に動作速度の速いTFTを実現しうるため、強誘電性液晶や反強誘電性液晶の応答速度の速さを十分に生かした画像応答速度の速い液晶表示装置を実現することが可能である。

【0211】また、一般に、無しき値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しき値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しき値反強誘電性混合液晶を用いるのが好ましい。そういった意味で実施例1の図3(C)で示した保持容量は小さい面積で大きな容量を蓄積することができるので好ましい。

【0212】なお、本実施例の液晶表示装置をパーソナ

ルコンピュータ等の電子機器の表示ディスプレイとして用いることが有効であることは言うまでもない。

【0213】また、本実施例の構成は、実施例1～14のいずれの構成とも自由に組み合わせることが可能である。

【0214】〔実施例16〕本願発明はアクティブマトリクス型EL（エレクトロルミネッセンス）ディスプレイ（アクティブマトリクス型EL表示装置ともいう）に適用することも可能である。その例を図17に示す。

【0215】図17は本実施例のアクティブマトリクス型ELディスプレイの回路図である。81は表示領域を表しており、その周辺にはX方向（ソース側）駆動回路82、Y方向（ゲート側）駆動回路83が設けられている。また、表示領域81の各画素は、スイッチング用TFT84、コンデンサ85、電流制御用TFT86、EL素子87を有し、スイッチング用TFT84にX方向信号線（ソース信号線）88a（または88b）、Y方向信号線（ゲート信号線）89a（または89b、89c）が接続される。また、電流制御用TFT86には、電源線90a、90bが接続される。

【0216】本実施例のアクティブマトリクス型ELディスプレイでは、X方向制御回路82及びY方向制御回路83を図4（B）のpチャネル型TFT301並びにnチャネル型TFT302もしくは303を組み合わせ形成する。また、スイッチング用TFT84には図4（B）のnチャネル型TFT304を用い、電流制御用TFT86には図4（B）のpチャネル型TFT301を用いる。勿論、TFTの組み合わせはこれに限定する必要はない。

【0217】なお、本実施例のアクティブマトリクス型ELディスプレイに対して、実施例1～13のいずれの構成を組み合わせても良い。

【0218】〔実施例17〕本実施例では、本願発明を用いてEL（エレクトロルミネッセンス）表示装置を作製した例について説明する。なお、図18（A）は本願発明のEL表示装置の上面図であり、図18（B）はその断面図である。

【0219】図18（A）において、4001は基板、4002は画素部、4003はソース側駆動回路、4004はゲート側駆動回路であり、それぞれの駆動回路は配線4005を経てFPC（フレキシブルプリントサーキット）4006に至り、外部機器へと接続される。

【0220】このとき、画素部4002、ソース側駆動回路4003及びゲート側駆動回路4004を囲むようにして第1シール材4101、カバー材4102、充填材4103及び第2シール材4104が設けられている。

【0221】また、図18（B）は図18（A）をA-A'で切断した断面図に相当し、基板4001の上にソース側駆動回路4003に含まれる駆動TFT（但し、

ここではnチャネル型TFTとpチャネル型TFTを図示している。）4201及び画素部4002に含まれる電流制御用TFT（EL素子への電流を制御するTFT）4202が形成されている。

【0222】本実施例では、駆動TFT4201には図4（B）のpチャネル型TFT301とnチャネル型TFT302と同じ構造のTFTが用いられ、電流制御用TFT4202には図4（B）のpチャネル型TFT301と同じ構造のTFTが用いられる。また、画素部4002には電流制御用TFT4202のゲートに接続された保持容量（図示せず）が設けられる。

【0223】駆動TFT4201及び画素TFT4202の上には樹脂材料でなる層間絶縁膜（平坦化膜）4301が形成され、その上に画素TFT4202のドレインと電気的に接続する画素電極（陽極）4302が形成される。画素電極4302としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物または酸化インジウムと酸化亜鉛との化合物を用いることができる。

【0224】そして、画素電極4302の上には絶縁膜4303が形成され、絶縁膜4303は画素電極4302の上に開口部が形成されている。この開口部において、画素電極4302の上にはEL（エレクトロルミネッセンス）層4304が形成される。EL層4304は公知の有機EL材料または無機EL材料を用いることができる。また、有機EL材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

【0225】EL層4304の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、EL層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせ積層構造または単層構造とすれば良い。

【0226】EL層4304の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極4305が形成される。また、陰極4305とEL層4304の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で両者を連続成膜するか、EL層4304を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極4305を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0227】そして陰極4305は4306で示される領域において配線4005に電気的に接続される。配線4005は陰極4305に所定の電圧を与えるための配線であり、異方導電性フィルム4307を介してFPC4006に電気的に接続される。

【0228】以上のようにして、画素電極（陽極）43



02、EL層4304及び陰極4305からなるEL素子が形成される。このEL素子は、第1シール材4101及び第1シール材4101によって基板4001に貼り合わされたカバー材4102で囲まれ、充填材4103により封入されている。

【0229】カバー材4102としては、ガラス板、金属板（代表的にはステンレス板）、セラミックス板、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。また、アルミニウムボイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0230】但し、EL素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0231】また、充填材4103としては紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材4103の内部に吸湿性物質（好ましくは酸化バリウム）を設けておくこととEL素子の劣化を抑制できる。

【0232】また、充填材4103の中にスペーサを含ませてもよい。このとき、スペーサを酸化バリウムで形成すればスペーサ自体に吸湿性をもたせることが可能である。また、スペーサを設けた場合、スペーサからの圧力を緩和するバッファ層として陰極4305上に樹脂膜を設けることも有効である。

【0233】また、配線4005は異方導電性フィルム4307を介してFPC4006に電氣的に接続される。配線4005は画素部4002、ソース側駆動回路4003及びゲート側駆動回路4004に送られる信号をFPC4006に伝え、FPC4006により外部機器と電氣的に接続される。

【0234】また、本実施例では第1シール材4101の露呈部及びFPC4006の一部を覆うように第2シール材4104を設け、EL素子を徹底的に外気から遮断する構造となっている。こうして図18（B）の断面構造を有するEL表示装置となる。なお、本実施例のEL表示装置は実施例1、3、6～11、13、14のいずれの構成を組み合わせて作製しても構わない。

【0235】ここで画素部のさらに詳細な断面構造を図19に、上面構造を図20（A）に、回路図を図20（B）に示す。図19、図20（A）及び図20（B）では共通の符号を用いるので互いに参照すれば良い。

【0236】図19において、基板4401上に設けら

れたスイッチング用TFT4402は図4（B）のnチャネル型TFT304を用いて形成される。従って、構造の説明はnチャネル型TFT304の説明を参照すれば良い。また、4403で示される配線は、スイッチング用TFT4402のゲート電極4404a、4404bを電氣的に接続するゲート配線である。

【0237】なお、本実施例ではチャネル形成領域が二つ形成されるダブルゲート構造としているが、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0238】また、スイッチング用TFT4402のドレイン配線4405は電流制御用TFT4406のゲート電極4407に電氣的に接続されている。なお、電流制御用TFT4406は図4（B）のpチャネル型TFT301を用いて形成される。従って、構造の説明はpチャネル型TFT301の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0239】スイッチング用TFT4402及び電流制御用TFT4406の上には第1パッシベーション膜4408が設けられ、その上に樹脂からなる平坦化膜4409が形成される。平坦化膜4409を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0240】また、4410は透明導電膜からなる画素電極（EL素子の陽極）であり、電流制御用TFT4406のドレイン配線4411に電氣的に接続される。画素電極4410としては酸化インジウムと酸化スズとの化合物もしくは酸化インジウムと酸化亜鉛との化合物からなる導電膜を用いることができる。

【0241】画素電極4410の上にはEL層4412が形成される。なお、図19では一画素しか図示していないが、本実施例ではR（赤）、G（緑）、B（青）の各色に対応したEL層を作り分けている。また、本実施例では蒸着法により低分子系有機EL材料を形成している。具体的には、正孔注入層として20nm厚の銅フタロシアニン（CuPc）膜を設け、その上に発光層として70nm厚のトリス-8-キノリノラトアルミニウム錯体（Alq<sub>3</sub>）膜を設けた積層構造としている。Alq<sub>3</sub>にキナクリドン、ペリレンもしくはDCM1といった蛍光色素を添加することで発光色を制御することができる。

【0242】但し、以上の例はEL層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層（発光及びそのための

キャリアの移動を行わせるための層)を形成すれば良い。例えば、本実施例では低分子系有機EL材料をEL層として用いる例を示したが、高分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0243】次に、EL層4412の上には遮光性の導電膜からなる陰極4413が設けられる。本実施例の場合、遮光性の導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知のMgAg膜(マグネシウムと銀との合金膜)を用いても良い。陰極材料としては、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【0244】この陰極4413まで形成された時点でEL素子4414が完成する。なお、ここでいうEL素子4414は、画素電極(陽極)4410、EL層4412及び陰極4413で形成されたコンデンサを指す。

【0245】次に、本実施例における画素の上面構造を図20(A)を用いて説明する。スイッチング用TFT4402のソースはソース配線4415に接続され、ドレインはドレイン配線4405に接続される。また、ドレイン配線4405は電流制御用TFT4406のゲート電極4407に電氣的に接続される。また、電流制御用TFT4406のソースは電流供給線4416に電氣的に接続され、ドレインはドレイン配線4417に電氣的に接続される。また、ドレイン配線4417は点線で示される画素電極(陽極)4418に電氣的に接続される。

【0246】このとき、4419で示される領域には保持容量が形成される。保持容量4419は、電流供給線4416と電氣的に接続された半導体膜4420、ゲート絶縁膜と同一層の絶縁膜(図示せず)及びゲート電極4407との間で形成される。また、ゲート電極4407、第1層間絶縁膜と同一の層(図示せず)及び電流供給線4416で形成される容量も保持容量として用いることが可能である。

【0247】なお、本実施例のEL表示装置を作製するにあたって、実施例1、3、6~11、13、14の構成を自由に組み合わせても良い。

【0248】[実施例18] 本実施例では、実施例17とは異なる画素構造を有したEL表示装置について説明する。説明には図21を用いる。なお、図19と同一の符号が付してある部分については実施例17の説明を参照すれば良い。

【0249】図21では電流制御用TFT4501として図4(B)のnチャネル型TFT302と同一構造のTFTを用いる。勿論、電流制御用TFT4501のゲート電極4502はスイッチング用TFT4402のド

レイン配線4405に接続されている。また、電流制御用TFT4501のドレイン配線4503は画素電極4504に電氣的に接続されている。

【0250】本実施例では、画素電極4504がEL素子の陰極として機能し、遮光性の導電膜を用いて形成する。具体的には、アルミニウムとリチウムとの合金膜を用いるが、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【0251】画素電極4504の上にはEL層4505が形成される。なお、図21では一画素しか図示していないが、本実施例ではG(緑)に対応したEL層を蒸着法及び塗布法(好ましくはスピンコーティング法)により形成している。具体的には、電子注入層として20nm厚のフッ化リチウム(LiF)膜を設け、その上に発光層として70nm厚のPPV(ポリパラフェニレンビニレン)膜を設けた積層構造としている。

【0252】次に、EL層4505の上には透明導電膜からなる陽極4506が設けられる。本実施例の場合、透明導電膜として酸化インジウムと酸化スズとの化合物もしくは酸化インジウムと酸化亜鉛との化合物からなる導電膜を用いる。

【0253】この陽極4506まで形成された時点でEL素子4507が完成する。なお、ここでいうEL素子4507は、画素電極(陰極)4504、EL層4505及び陰極4506で形成されたコンデンサを指す。

【0254】このとき、電流制御用TFT4501が本願発明の構造であることは非常に重要な意味を持つ。電流制御用TFT4501はEL素子4507を流れる電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用TFT4501のドレイン側に、ゲート絶縁膜4508を介してゲート電極4502に重なるようにLDD領域4509を設ける本願発明の構造は極めて有効である。

【0255】また、本実施例の電流制御用TFT4501はゲート電極4502とLDD領域4509との間にゲート容量と呼ばれる寄生容量を形成する。このゲート容量を調節することで図20(A)、(B)に示した保持容量4418と同等の機能を持たせることも可能である。特に、EL表示装置をデジタル駆動方式で動作させる場合においては、保持容量のキャパシタンスがアナログ駆動方式で動作させる場合よりも小さくて済むため、ゲート容量で保持容量を代用しうる。

【0256】なお、本実施例のEL表示装置を作製するにあたって、実施例1、3、6~11、13、14の構成を自由に組み合わせても良い。

【0257】[実施例19] 本実施例では、実施例17もしくは実施例18に示したEL表示装置の画素部に用いることができる画素構造の例を図22(A)~(C)

に示す。なお、本実施例において、4601はスイッチング用TFT4602のソース配線、4603はスイッチング用TFT4602のゲート配線、4604は電流制御用TFT、4605はコンデンサ、4606、4608は電流供給線、4607はEL素子とする。

【0258】図22(A)は、二つの画素間で電流供給線4606を共通とした場合の例である。即ち、二つの画素が電流供給線4606を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0259】また、図22(B)は、電流供給線4608をゲート配線4603と平行に設けた場合の例である。なお、図22(B)では電流供給線4608とゲート配線4603とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線4608とゲート配線4603とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0260】また、図22(C)は、図22(B)の構造と同様に電流供給線4608をゲート配線4603と平行に設け、さらに、二つの画素を電流供給線4608を中心に線対称となるように形成する点に特徴がある。また、電流供給線4608をゲート配線4603のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0261】【実施例20】本願発明の電気光学装置や半導体回路は電気器具の表示部や信号処理回路として用いることができる。そのような電気器具としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置などが挙げられる。それら電気器具の具体例を図23～25に示す。

【0262】図23(A)は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示部2004、操作スイッチ2005、アンテナ2006で構成される。本願発明の電気光学装置は表示部2004に、本願発明の半導体回路は音声出力部2002、音声入力部2003またはCPUやメモリ等に用いることができる。

【0263】図23(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明の電気光学装置は表示部21

02に、本願発明の半導体回路は音声入力部2103またはCPUやメモリ等に用いることができる。

【0264】図23(C)はモバイルコンピュータ（モバイルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205で構成される。本願発明の電気光学装置は表示部2205に、本願発明の半導体回路はCPUやメモリ等に用いることができる。

【0265】図23(D)はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303で構成される。本願発明の電気光学装置は表示部2302に、本願発明の半導体回路はCPUやメモリ等に用いることができる。

【0266】図23(E)はリアプロジェクター（プロジェクションTV）であり、本体2401、光源2402、液晶表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は液晶表示装置2403に用いることができ、本願発明の半導体回路はCPUやメモリ等に用いることができる。

【0267】図23(F)はフロントプロジェクターであり、本体2501、光源2502、液晶表示装置2503、光学系2504、スクリーン2505で構成される。本発明は液晶表示装置2503に用いることができ、本願発明の半導体回路はCPUやメモリ等に用いることができる。

【0268】図24(A)はパーソナルコンピュータであり、本体2601、映像入力部2602、表示部2603、キーボード2604等を含む。本願発明の電気光学装置は表示部2603に、本願発明の半導体回路はCPUやメモリ等に用いることができる。

【0269】図24(B)は電子遊戯機器（ゲーム機器）であり、本体2701、記録媒体2702、表示部2703及びコントローラー2704を含む。この電子遊戯機器から出力された音声や映像は筐体2705及び表示部2706を含む表示ディスプレイにて再生される。コントローラー2704と本体2701との間の通信手段または電子遊戯機器と表示ディスプレイとの間の通信手段は、有線通信、無線通信もしくは光通信が使える。本実施例では赤外線センサ部2707、2708で検知する構成となっている。本願発明の電気光学装置は表示部2703、2706に、本願発明の半導体回路はCPUやメモリ等に用いることができる。

【0270】図24(C)はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤー（画像再生装置）であり、本体2801、表示部2802、スピーカ部2803、記録媒体2804及び操作スイッチ2805を含む。なお、この画像再生装置は記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲーム

やインターネットを行うことができる。本願発明の電気光学装置は表示部2802やCPUやメモリ等に用いることができる。

【0271】図24(D)はデジタルカメラであり、本体2901、表示部2902、接眼部2903、操作スイッチ2904、受像部(図示せず)を含む。本願発明の電気光学装置は表示部2902やCPUやメモリ等に用いることができる。

【0272】なお、図23(E)のリアプロジェクターや図23(F)のフロントプロジェクターに用いることのできる光学エンジンについての詳細な説明を図25に示す。なお、図25(A)は光学エンジンであり、図25(B)は光学エンジンに内蔵される光源光学系である。

【0273】図25(A)に示す光学エンジンは、光源光学系3001、ミラー3002、3005~3007、ダイクロイックミラー3003、3004、光学レンズ3008a~3008c、プリズム3011、液晶表示装置3010、投射光学系3012を含む。投射光学系3012は、投射レンズを備えた光学系である。本実施例は液晶表示装置3010を三つ使用する三板式の例を示したが、単板式であってもよい。また、図25

(A)中において矢印で示した光路には、光学レンズ、偏光機能を有するフィルム、位相差を調節するためのフィルムもしくはIRフィルム等を設けてもよい。

【0274】また、図25(B)に示すように、光源光学系3001は、光源3013、3014、合成プリズム3015、コリメータレンズ3016、3020、レンズアレイ3017、3018、偏光変換素子3019を含む。なお、図25(B)に示した光源光学系は光源を2つ用いたが、一つでも良いし、三つ以上としてもよい。また、光源光学系の光路のどこかに、光学レンズ、偏光機能を有するフィルム、位相差を調節するフィルムもしくはIRフィルム等を設けてもよい。

【0275】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電気器具に適用することが可能である。また、本実施例の電気器具は実施例1~19のどのような組み合わせからなる構成を用いても実現することができる。

【0276】〔実施例21〕図26は実施例1に従って作製されたnチャネル型TFT302のドレイン電流(ID)とゲート電圧(VG)との関係を表すグラフ(以下、ID-VG曲線という)及び電界効果移動度( $\mu_{FE}$ )のグラフである。このとき、ソース電圧(VS)は0V、ドレイン電圧(VD)は1Vまたは14Vとした。なお、実測値はチャネル長(L)が7.5 $\mu$ m、チャネル幅(W)が7.8 $\mu$ m、ゲート絶縁膜の膜厚(Tox)が110nmであった。

【0277】図26において、太線はストレス試験前、点線はストレス試験後のID-VG曲線および電界効果

移動度を示しているが、ストレス試験前後で曲線に殆ど変化はなく、ホットキャリア劣化が抑制されていることが判った。なお、ここで行ったストレス試験は、室温にてソース電圧0V、ドレイン電圧20V、ゲート電圧2Vをかけた状態で60秒保持する試験であり、ホットキャリア劣化を促進させる試験である。

【0278】

【発明の効果】本願発明を用いることで同一基板上に、回路が要求する仕様に依じて適切な性能の回路を配置することが可能となり、電気光学装置の動作性能や信頼性を大幅に向上させることができる。

【0279】また、液晶表示装置に代表される電気光学装置の画素部において、小さい面積で大きなキャパシティを有する保持容量を形成することができる。そのため、対角1インチ以下の電気光学装置においても開口率を低下させることなく、十分な保持容量を確保することが可能となる。

【0280】また、そのような電気光学装置を表示部として有する電気器具の動作性能と信頼性も向上させることができる。

【図面の簡単な説明】

【図1】画素部と駆動回路の作製工程を示す図。

【図2】画素部と駆動回路の作製工程を示す図。

【図3】画素部と駆動回路の作製工程を示す図。

【図4】画素部と駆動回路の作製工程を示す図。

【図5】アクティブマトリクス型液晶表示装置の断面構造図。

【図6】nチャネル型TFTのLDD構造を示す図。

【図7】nチャネル型TFT(画素TFT)のLDD構造を示す図。

【図8】アクティブマトリクス型液晶表示装置の斜視図。

【図9】アクティブマトリクス型液晶表示装置の回路ブロック図。

【図10】画素部の上面構造を示す図。

【図11】画素部の断面構造及び上面構造を示す図。

【図12】保持容量の構造を示す図。

【図13】保持容量の構成を示す断面図。

【図14】nチャネル型TFT(画素TFT)のLDD構造を示す図。

【図15】画素部と駆動回路の作製工程を示す図。

【図16】画素部と駆動回路の作製工程を示す図。

【図17】アクティブマトリクス型EL表示装置の構成を示す図。

【図18】EL表示装置の上面構造及び断面構造を示す図。

【図19】EL表示装置の断面構造を示す図。

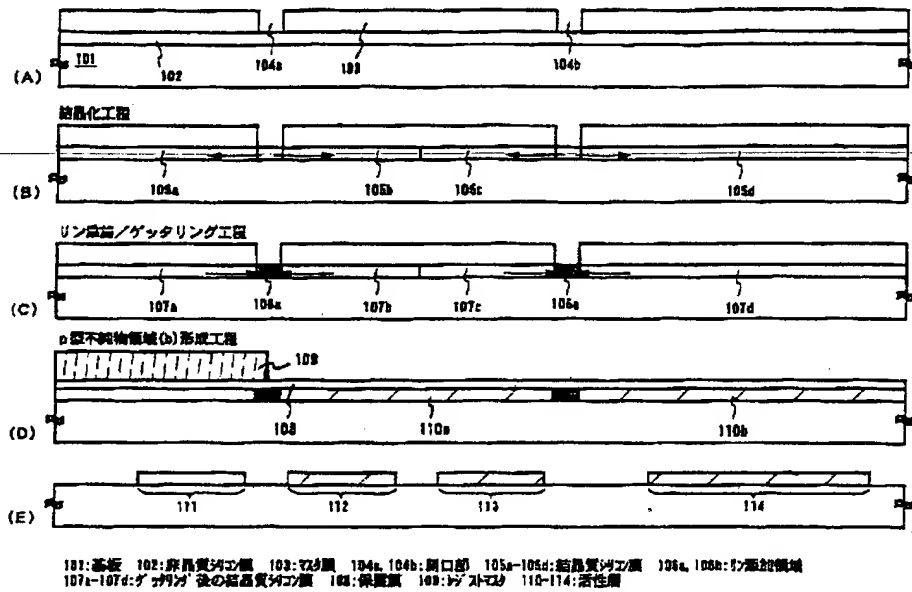
【図20】EL表示装置の画素部の上面構造を示す図。

【図21】EL表示装置の断面構造を示す図。

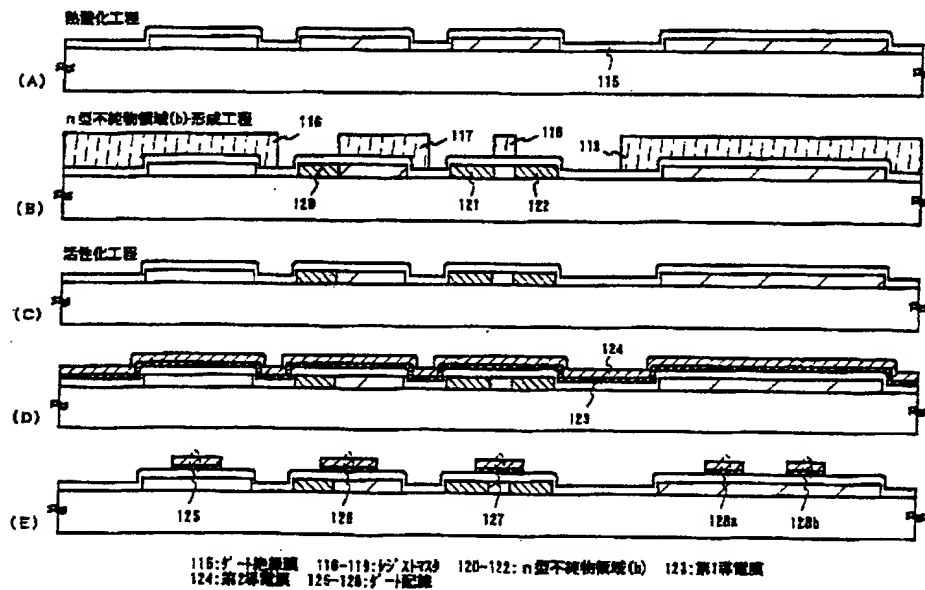
【図22】 EL表示装置の画素部の回路構成を示す図。  
 【図23】 電気器具の一例を示す図。

【図24】 電気器具の一例を示す図。  
 【図25】 光学エンジンの構成を示す図。  
 【図26】 TFTのId-Vg曲線を示す図。

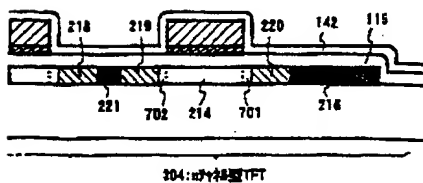
【図1】



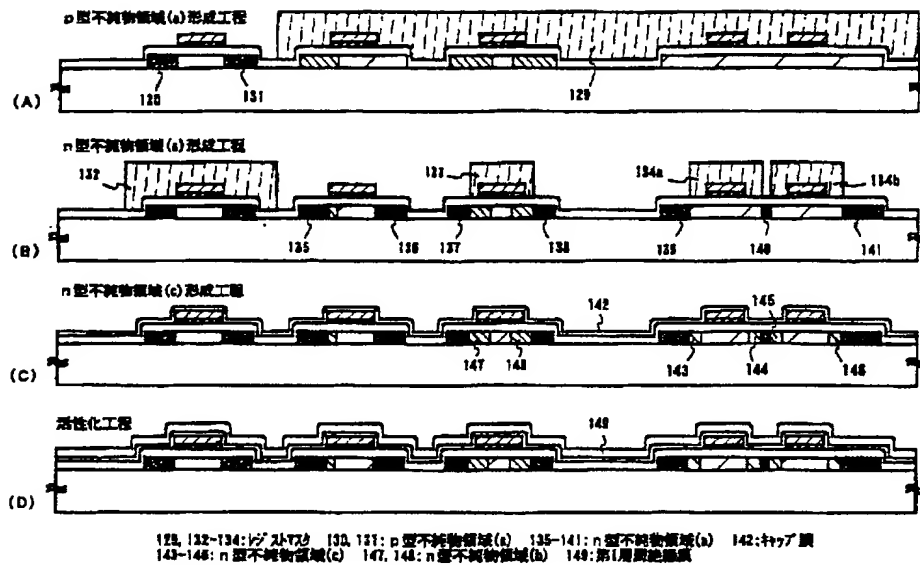
【図2】



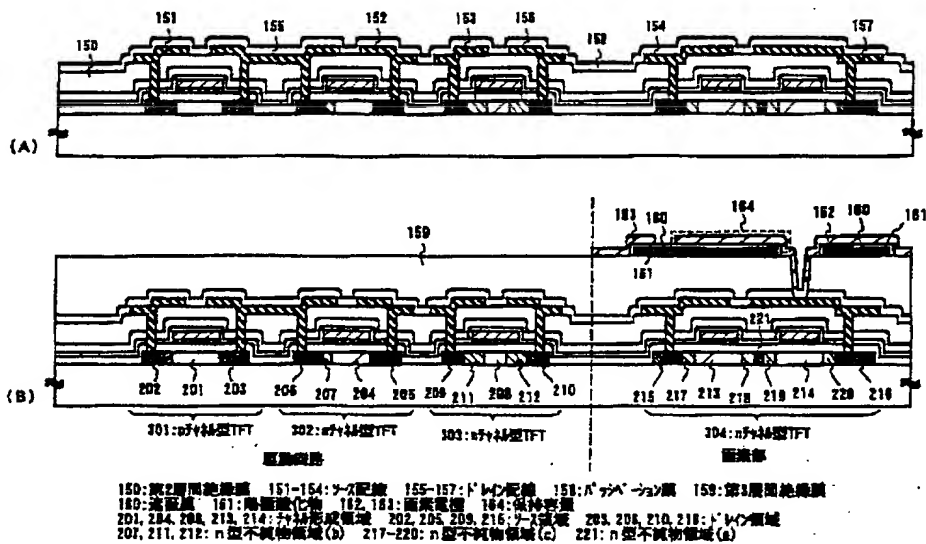
【図7】



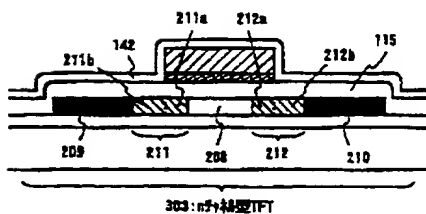
【図3】



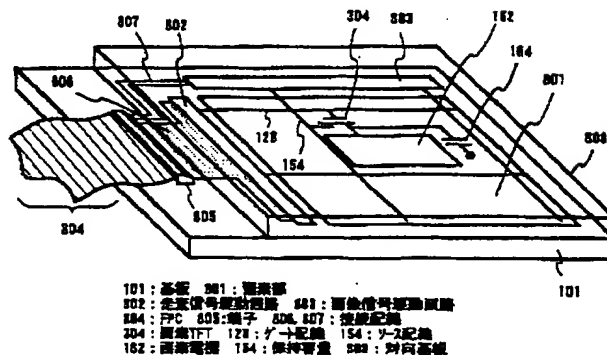
【図4】



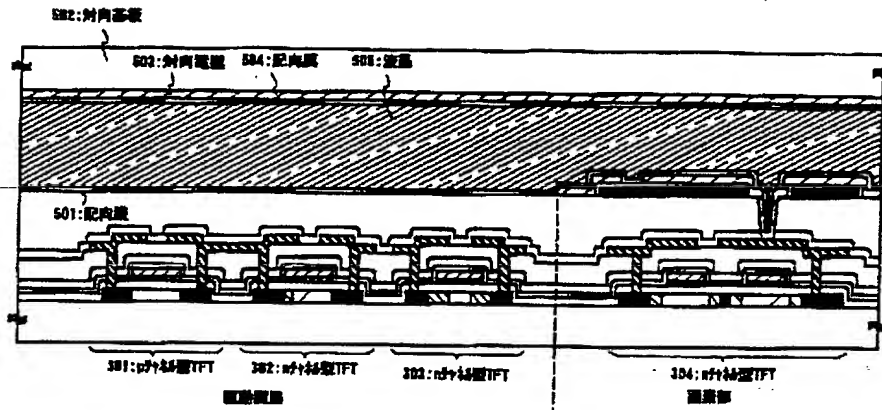
【図6】



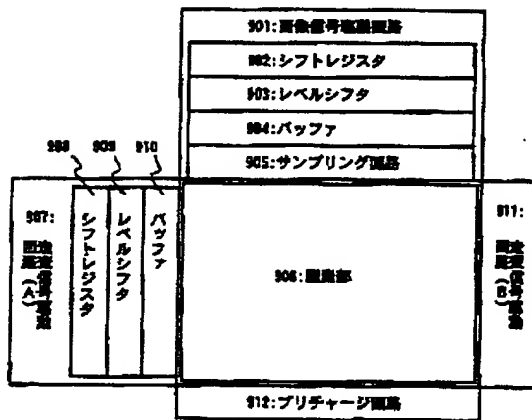
【図8】



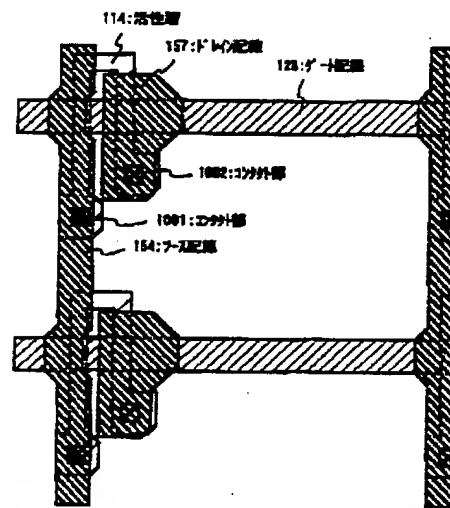
【図5】



【図9】

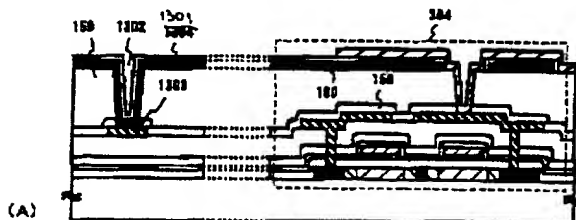


【図10】

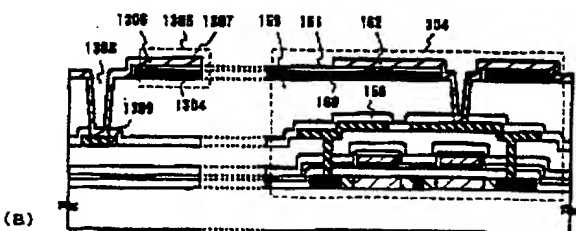


(A)

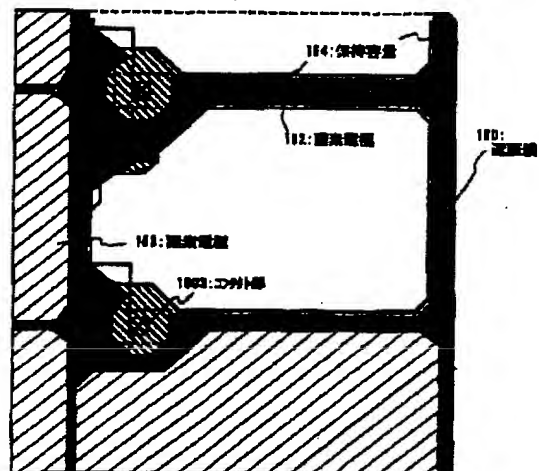
【図13】



(A)

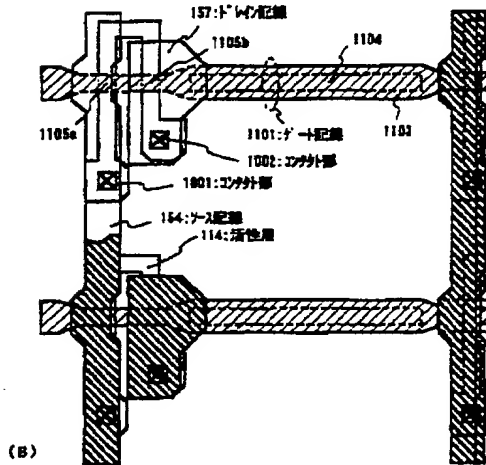
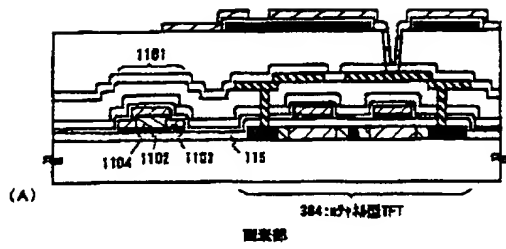


(B)

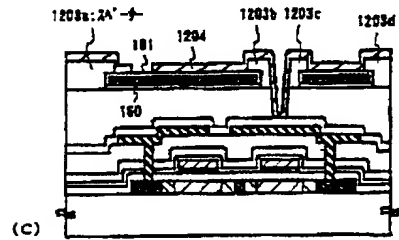
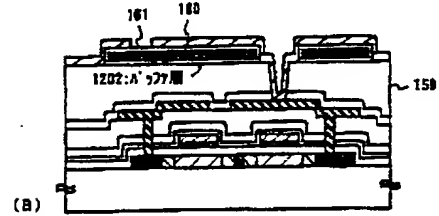
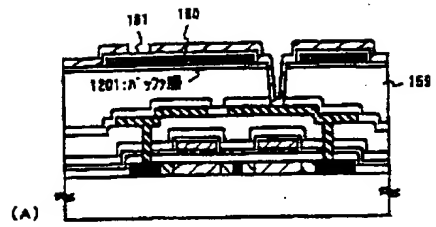


(B)

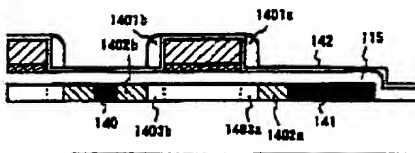
【図11】



【図12】

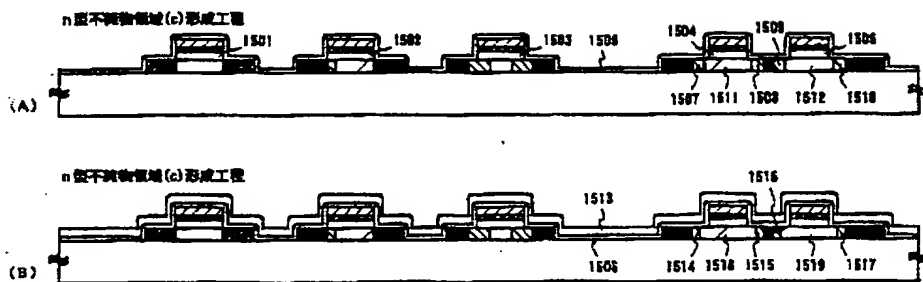


【図14】



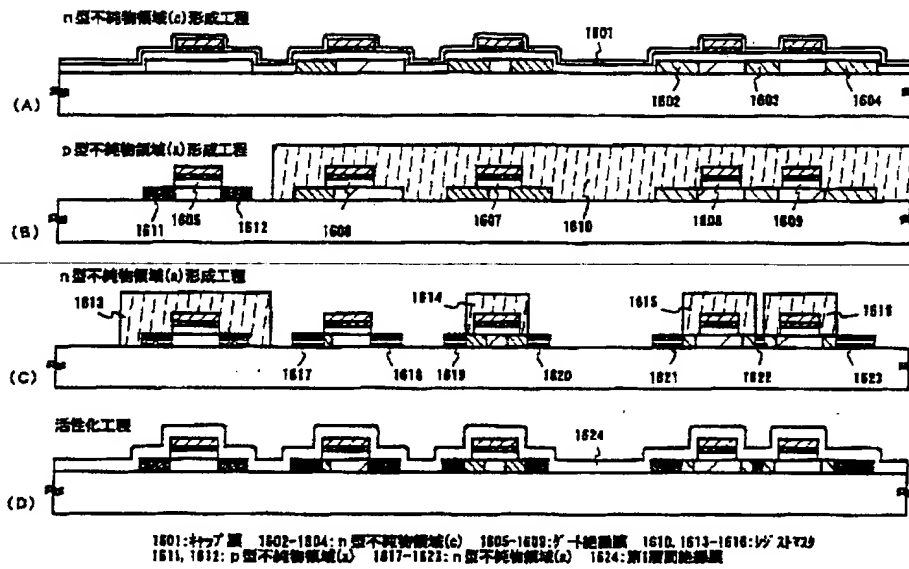
115: ドレイン配線、140, 141: n型不純物領域 (a)、142: ドレイン層  
1401a, 1401b: p型ドレイン、1402a, 1402b: n型不純物領域 (c)  
1403a, 1403b: p型ドレイン

【図15】

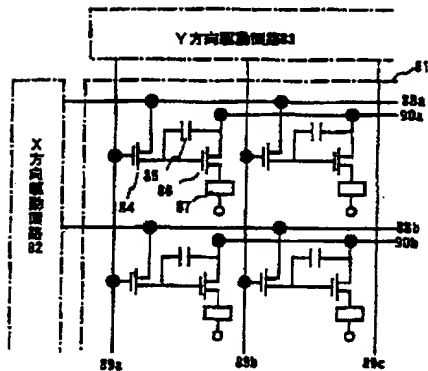




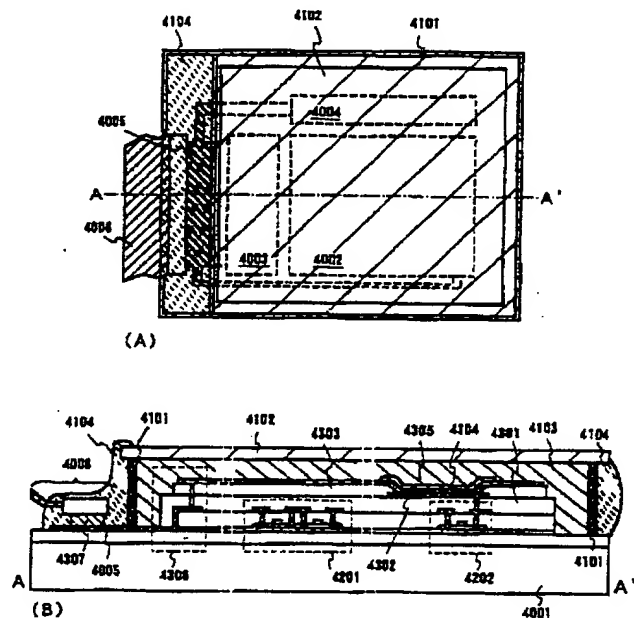
【図16】



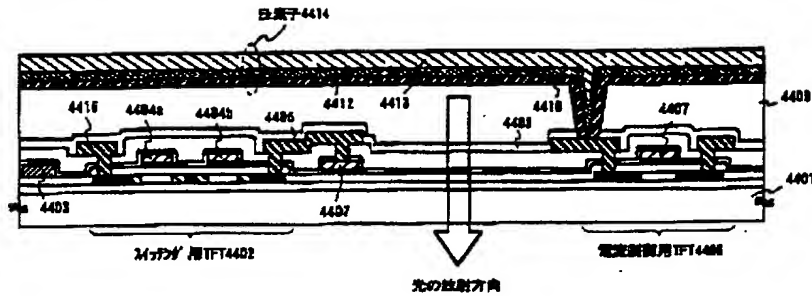
【図17】



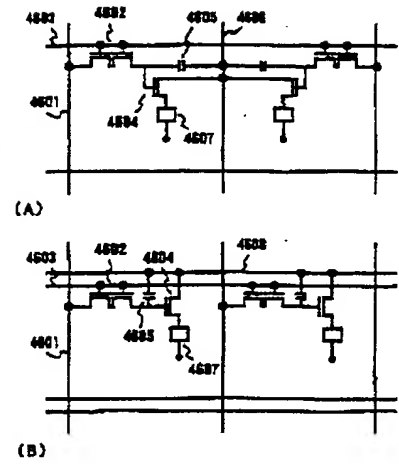
【図18】



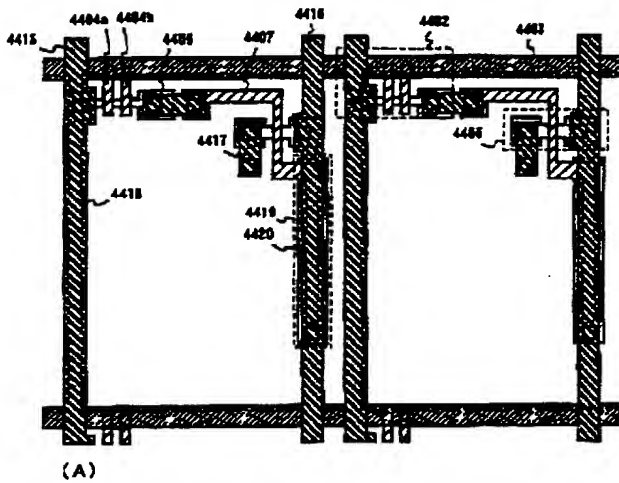
【図19】



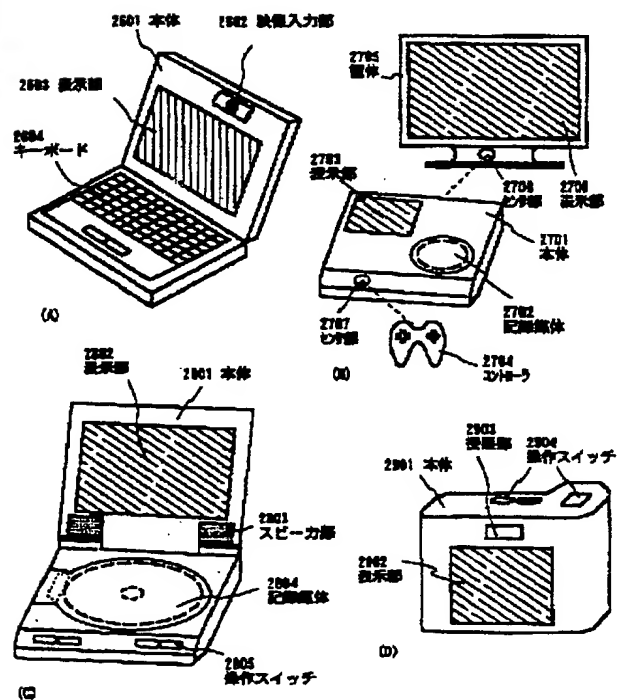
【図22】



【図20】



【図24】





フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テ-マコ-ト (参考)

H 0 1 L 27/08  
21/336

3 3 1

G 0 2 F 1/136  
H 0 1 L 29/785 0 0  
6 1 6 A  
6 1 6 V  
6 1 7 A  
6 1 9 B

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**